

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-169501

(43)Date of publication of application : 14.06.2002

(51)Int.Cl.

G09G 3/20

G09G 3/36

H03F 1/02

H03F 3/68

(21)Application number : 2000-363312

(71)Applicant : SHARP CORP

(22)Date of filing : 29.11.2000

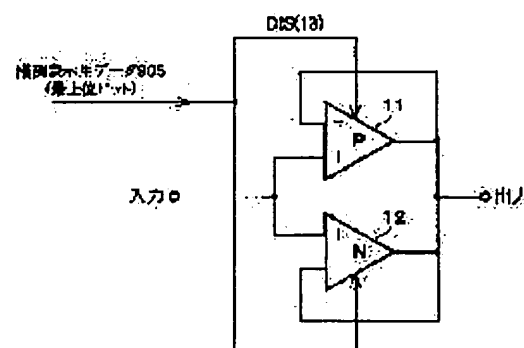
(72)Inventor : FUJINO HIROAKI

(54) IMPEDANCE CONVERTER AND DRIVING DEVICE FOR DISPLAY DEVICE PROVIDED THEREWITH

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an impedance converter capable of surely reducing the power consumption without the need for a special external signal from the outside, and a driving device for a display device provided therewith.

SOLUTION: The impedance converter is provided with differential amplifier circuits 11 and 12, which are connected in parallel and perform an impedance conversion to a voltage varying according to the gradation display data 905 and supplies electric power for operation and activates one of the differential amplifiers circuit 11, 12 and also inactivate the other one without supplying the operation power based on the differential amplifiers 11, 12, based on the above gradation display data 905.



LEGAL STATUS

[Date of request for examination]

31.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application]

converted registration]

[Date of final disposal for application]

[Patent number] 3617816

[Date of registration] 19.11.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-169501

(P2002-169501A)

(43) 公開日 平成14年6月14日 (2002. 6. 14)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト (参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 B 5 C 0 0 6
	6 1 1		6 2 3 E 5 C 0 8 0
3/36		3/36	6 1 1 A 5 J 0 6 9
H 0 3 F 1/02		H 0 3 F 1/02	5 J 0 9 2
審査請求 未請求 請求項の数 5 O L (全 17 頁) 最終頁に続く			

(21) 出願番号 特願2000-363312(P2000-363312)

(22) 出願日 平成12年11月29日 (2000. 11. 29)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 藤野 宏晃

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(74) 代理人 100080034

弁理士 原 謙三

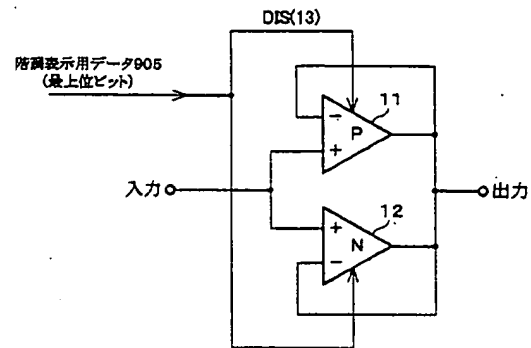
最終頁に続く

(54) 【発明の名称】 インピーダンス変換装置とそれを備えた表示装置の駆動装置

(57) 【要約】

【課題】 外部から特別な信号を必要とせずに、消費電力を確実に削減できるインピーダンス変換装置とそれを備えた表示装置の駆動装置を提供する。

【解決手段】 本発明のインピーダンス変換装置は、互いに並列に接続され、階調表示用データ905に応じて変化する電圧に対してインピーダンス変換する差動増幅回路11・12と、上記階調表示用データ905に基づいて、動作電源を供給して上記差動増幅回路11または12の何れか一方を動作状態にすると共に、動作電源を供給しないで他方を非動作状態に制御する。



【特許請求の範囲】

【請求項1】互いに並列に接続され、デジタル入力データに応じて変化する電圧に対してインピーダンス変換する第1及び第2差動増幅回路と、

上記デジタル入力データに基づいて、動作電源を供給して上記第1または第2差動増幅回路の何れか一方を動作状態にすると共に、動作電源を供給しないで他方を非動作状態にするように制御する制御手段とを備えたインピーダンス変換装置。

【請求項2】上記制御手段は、上記デジタル入力データの最上位ビットに基づいて上記制御を行うことを特徴とする請求項1に記載のインピーダンス変換装置。

【請求項3】互いに並列に接続され、デジタル入力データに応じて変化する電圧に対してインピーダンス変換する第1及び第2差動増幅回路と、

上記デジタル入力データの上位2ビットをデコードするデコード手段と、

上記デコード手段の出力に基づいて、動作電源を供給して上記第1又は第2差動増幅回路の何れか一方を動作状態にすると共に動作電源を供給しないで他方を非動作状態にするように制御するか、又は第1及び第2差動増幅回路の双方に動作電源を供給して動作状態にするように制御する制御手段とを備えたインピーダンス変換装置。

【請求項4】非動作状態の上記差動増幅回路の出力はハイインピーダンスであることを特徴とする請求項1、2、又は3に記載のインピーダンス変換装置。

【請求項5】上記デジタル入力データは、階調表示用データであり、この階調表示用データに応じて選択されたアナログの階調表示用電圧が請求項1、2、3、又は4に記載のインピーダンス変換装置によってインピーダンス変換されることを特徴とする表示装置の駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶パネル等の表示装置を駆動させる駆動装置の出力回路部等に採用され、消費電力を低減するインピーダンス変換装置とそれを備えた表示装置の駆動装置に関するものである。

【0002】

【従来の技術】差動増幅回路を用いた出力回路の低消費電力を実現する従来技術として、例えば特開平5-150736号公報（以下、第1従来技術と称す。）に示されるインピーダンス変換回路や特開平8-313867号公報に示されるオペアンプの停止を行う液晶表示器駆動電源回路（以下、第2従来技術と称す。）が知られている。

【0003】図11乃至図13を参照しながら、特開平5-150736号公報に開示の上記の第1従来技術について説明する。

【0004】図11において、オペアンプ101はPチャンネルMOSトランジスタで入力段を構成したもので

ある。

【0005】オペアンプ101は、図12に示すように、入力段が、PチャンネルMOSトランジスタ1106及び1107で差動対により構成されている。PチャンネルMOSトランジスタ1103のゲートには定電圧VBPが供給され、これにより、定電流IがPチャンネルMOSトランジスタ1103に流れる。この定電流Iは、上記差動対が歪みのない増幅を行うための動作点を決定するためのものである。NチャンネルMOSトランジスタ1108・1109により構成されるカレントミラー回路において、定電流Iは電流Iaと電流Ibに分割される。

【0006】上記構成の回路において、入力端子1101の入力電圧Vinと出力端子1102の出力電圧Voutの関係がVin<Voutを満たす場合、Ia>Ibとなり、点Aの電位は下がり、NチャンネルMOSトランジスタ1108・1109がオフする方向に向かう。その結果、点Bの電位が上がり、NチャンネルMOSトランジスタ1121がオンする方向となり、NチャンネルMOSトランジスタ1121に流れる電流が多くなり、出力電圧Voutは下がる。このようにして、Vin=Voutの状態に推移する。

【0007】これに対して、入力端子1101の入力電圧Vinと出力端子1102の出力電圧Voutの関係がVin>Voutの場合、Ia<Ibとなり、点Aの電位は上がり、NチャンネルMOSトランジスタ1108・1109がオンする方向に向かう。その結果、点Bの電位が下がり、NチャンネルMOSトランジスタ1121がオフする方向となり、NチャンネルMOSトランジスタ1121に流れる電流が少なくなる。このとき、PチャンネルMOSトランジスタ1105には、PチャンネルMOSトランジスタ1104及びNチャンネルMOSトランジスタ1120との関係に基づいて定電流が流れているので、結果として出力電圧Voutが大きくなる。このようにして、Vin=Voutの状態に推移する。

【0008】以上のように、カレントミラー回路に流れる電流IaとIbの電流バランスにより、入力電圧と等しい電圧が出力される。しかしながら、電流Ia・Ibは、PチャンネルMOSトランジスタに流れる電流であるため、入力電圧（ゲート電圧）と電源電圧（この場合、Vdd）が接近してくると電流を流すことができないう電圧レベル領域が発生する。このため、図12に示す回路は、電源側に近い入力電圧に対して出力が追従しない電圧（オフセット）が発生する。

【0009】ここで、オペアンプ102の回路構成について図13を参照しながら以下に説明する。オペアンプ102は、図13に示すように、入力段が、NチャンネルMOSトランジスタ1206及び1207で差動対により構成されている。NチャンネルMOSトランジスタ

1203のゲートには定電圧VBNが供給され、これにより、定電流IがNチャンネルMOSトランジスタ1203に流れる。この定電流Iは、歪みのない増幅を行うための動作点を決定するためのものである。PチャンネルMOSトランジスタ1208・1209により構成されるカレントミラー回路において、電流Iaと電流Ibが流れ、これが定電流IとなってNチャンネルMOSトランジスタ1203を流れる。

【0010】上記構成の回路において、入力端子1201の入力電圧Vinと出力端子1202の出力電圧Voutの関係がVin<Voutを満たす場合、Ib>Iaとなり、点Cの電位は下がり、PチャンネルMOSトランジスタ1208・1209がオンする方向に向かう。その結果、点Dの電位が上がり、PチャンネルMOSトランジスタ1221がオフする方向となる。このとき、NチャンネルMOSトランジスタ1205には、NチャンネルMOSトランジスタ1204及びPチャンネルMOSトランジスタ1220との関係に基づいて定電流が流れているので、結果として出力電圧Voutは下がる。このようにして、Vin=Voutの状態に推移する。

【0011】これに対して、入力端子1201の入力電圧Vinと出力端子1202の出力電圧Voutの関係がVin>Voutの場合、Ib<Iaとなり、点Cの電位は上がり、PチャンネルMOSトランジスタ1208・1209がオフする方向に向かう。その結果、点Dの電位が下がり、PチャンネルMOSトランジスタ1221がオンする方向となるので、出力電圧Voutは上がる。このようにして、Vin=Voutの状態に推移する。

【0012】以上のように、オペアンプ102は、図12の構成と異なり、入力段の差動対を構成するNチャンネルMOSトランジスタ1206及び1207に流れる電流により制御が行われる。このため、図12の場合とは逆にGND（グラウンド）側に近い入力電圧に対して出力が追従しない電圧（オフセット）が発生することになる。

【0013】GNDレベルから電源電圧レベルまでの全ての電圧間に対応したインピーダンス変換回路を作成しようとした場合、上述のように、オペアンプ101またはオペアンプ102の何れか一方のみでは対応することはできない。このため、図11に示すように、オペアンプ101とオペアンプ102の回路を組み合わせる（互いに並列に接続する）ことによって、出力できない電圧を相互に補い合い、オフセットが発生しない回路を実現している。

【0014】ここで、図14を参照しながら、上記第2従来技術（特開平8-313867号公報）について説明する。

【0015】図14で示す回路は、容量性負荷を駆動す

る出力回路としても使用されている。図14（a）又は図14（b）を使用して、図14（c）に示すようなインピーダンス変換回路を作成し、液晶パネルの容量性負荷を充電している。充電終了後、OFF端子に信号を入力することにより、バイアスの電流が流れないようにし、消費電流を削減している。この関係を図15に示す。

【0016】時間aでは、OFF端子がH（ハイレベル）であり、／OFF端子がL（ローレベル）であるので、NチャンネルMOSトランジスタ32・34およびPチャンネルMOSトランジスタ31・33が全てオンし、バイアス電流を含むアンプ部に電流が流れない。

【0017】時間bでOFF端子のレベルを反転させ、上記MOSトランジスタは全てオフし、アンプ部に電流が流れて通常動作が行えるようにする。時間cで入力信号が変化すると、出力も同様に変化し、容量性負荷の充電を行う。容量を十分に充電した後、再びOFF端子を反転させてバイアス電流を停止し、アンプ部に電流が流れないようにする（時間d）。これらのバイアス電流の停止は、関係する差動増幅回路に対して一斉に行われる。容量の放電時も同様の動作を行う（時間e、f、g）。

【0018】以上のように、容量を充電した後に出力をハイインピーダンスにすると共に、バイアス電流を停止することにより、消費電力を削減することが可能となる。

【0019】

【発明が解決しようとする課題】しかしながら、上記第1及び第2従来技術は、それぞれ、次のような問題点を有している。

【0020】すなわち、上記第1従来技術では、2つの差動増幅回路が常に動作しているため、1つの差動増幅回路で駆動する場合と比較して、2倍の電流が消費されることになる。

【0021】また、差動増幅回路のバイアス電流を停止させて、駆動電流を削減するという上記第2従来技術では、回路外部からの停止命令（停止信号）が必要であると共に、全出力端子が出力につながる容量性負荷を充電した後、一斉にそれらのバイアス電流を停止する構成である。このため、消費電力の削減効果は小さくなってしまふ。

【0022】

【課題を解決するための手段】本発明に係るインピーダンス変換装置は、上記課題を解決するために、互いに並列に接続され、デジタル入力データに応じて変化する電圧に対してインピーダンス変換する第1及び第2差動増幅回路と、上記デジタル入力データに基づいて、動作電源を供給して上記第1又は第2差動増幅回路の何れか一方を動作状態にすると共に、動作電源を供給しないで他方を非動作状態に制御する制御手段とを備えたものであ

る。

【0023】上記の発明によれば、互いに並列に接続された第1及び第2差動増幅回路は、デジタル入力データに応じて変化する電圧に対して、それぞれインピーダンス変換を行う。

【0024】上記インピーダンス変換の際、従来は、2つの差動増幅回路が常に両方とも動作しているため、1つの差動増幅回路で駆動する場合と比較して、2倍の電流を消費していた。また、従来は、差動増幅回路の駆動電流を削減する場合でも、差動増幅回路外部からの停止信号が必要であり、しかも、全出力端子が出力につながる容量性負荷を充電した後、一斉にバイアス電流を停止する構成であるため、消費電力の削減効果は小さかった。

【0025】そこで、上記の発明によれば、制御手段が設けられており、この制御手段により、上記デジタル入力データに基づいて上記第1及び第2差動増幅回路の何れか一方は動作電源が供給されて動作状態になる一方、他方は動作電源が供給されずに非動作状態になるように制御される。

【0026】その結果、常に、動作状態にあるのは、第1又は第2差動増幅回路の何れか一方のみとなる。換言すれば、常に、第1又は第2差動増幅回路の何れか一方は非動作状態にあり、この差動増幅回路においては電流が消費されない（同時に第1及び第2差動増幅回路の双方に電流が流れることはない。）。それゆえ、インピーダンス変換装置の消費電流を上記従来の半分に抑えることが可能となる。

【0027】また、2つの差動増幅回路の双方が同時に動作状態にあれば、動作電源の電圧が数十ボルトと高い場合、両差動増幅回路間を通じて電流が流れるという不具合を招来するが、上記発明によれば、何れか一方の差動増幅回路のみが動作状態にあるので、このような不具合も確実に克服できる。

【0028】加えて、制御手段による上記制御が、インピーダンス変換の対象となる電圧の基となるデジタル入力データに基づいて行われるので、インピーダンス変換装置外部からの信号（停止命令）を別途必要としない。その上、非動作状態への移行が一斉に行われるのではなくて、デジタル入力データに基づいて行われるので、消費電力の削減効果を確実に大きくできる。

【0029】上記制御手段は、上記デジタル入力データの最上位ビットに基づいて上記制御を行うことが好ましい。この場合、オフセットが発生する電圧範囲において、該当する差動増幅回路を非動作状態にできるので、信頼性を著しく向上させることが可能となる。

【0030】本発明に係る他のインピーダンス変換装置は、上記課題を解決するために、互いに並列に接続され、デジタル入力データに応じて変化する電圧に対してインピーダンス変換する第1及び第2差動増幅回路と、

上記デジタル入力データの上位2ビットをデコードするデコード手段と、上記デコード手段の出力に基づいて、動作電源を供給して上記第1又は第2差動増幅回路の何れか一方を動作状態にすると共に動作電源を供給しないで他方を非動作状態にするように制御するか、又は第1及び第2差動増幅回路の双方に動作電源を供給して動作状態にするように制御する制御手段とを備えたものである。

【0031】上記の発明によれば、互いに並列に接続された第1及び第2差動増幅回路は、デジタル入力データに応じて変化する電圧に対してそれぞれインピーダンス変換を行う。

【0032】上記の発明においては、上記デジタル入力データの上位2ビットをデコードするデコード手段が設けられ、このデコード手段の出力に基づいて、制御手段により、上記デジタル入力データに基づいて、上記第1及び第2差動増幅回路の何れか一方は動作電源が供給されて動作状態になると共に、他方は動作電源が供給されずに非動作状態になるように制御されるか、または、第1及び第2差動増幅回路の双方に動作電源が供給されて双方が動作状態になるように制御される。

【0033】上記制御において、前者の場合、前述のように、インピーダンス変換装置の消費電流を上記従来の半分に抑えることが可能となる。これに対して、後者の制御の場合、第1及び第2差動増幅回路の双方を動作させることにより、インピーダンス変換装置の出力の駆動能力を確実に増大させることが可能となる。

【0034】加えて、制御手段による上記制御が、インピーダンス変換の対象となる電圧の基となるデジタル入力データに基づいて行われるので、インピーダンス変換装置外部からの信号を別途必要としない。その上、非動作状態への移行が一斉に行われるのではないので、消費電力の削減効果を確実に大きくできる。

【0035】更に、オフセットが発生する電圧範囲において、該当する差動増幅回路を非動作状態にでき、これにより、信頼性を著しく向上させることが可能となる。双方の差動増幅回路にオフセットが発生しない電圧範囲において第1及び第2差動増幅回路の双方を動作させることにより、インピーダンス変換装置の出力の駆動能力を確実に増大させることが可能となる。

【0036】ところで、非動作状態の上記差動増幅回路の出力は、ハイインピーダンスであることが好ましい。この場合、動作電源が供給されない方の差動増幅回路の出力は、上記制御手段によってハイインピーダンスに制御されるので、動作状態にある差動増幅回路の動作に支障を来さない。それゆえ、インピーダンス変換装置の信頼性を著しく向上させることが可能となる。

【0037】上記デジタル入力データは、階調表示用データであり、この階調表示用データに応じて選択されたアナログの階調表示用電圧が上記のインピーダンス変換

装置によってインピーダンス変換されるものを表示装置の駆動装置とすることが好ましい。この場合、階調表示用電圧を増幅することによって、従来必要であったレベルシフタ回路が不要となり、回路削減が可能となる。

【0038】

【発明の実施の形態】本発明の実施の一形態について図1乃至図4、及び図8乃至図10に基づいて説明すれば、以下のとおりである。

【0039】本発明を使用したシステム構成の一例として、図8にTFT（Thin Film Transistor）を用いた液晶パネルを駆動する液晶ドライバ（液晶駆動装置）を使用した場合の概略図を示す。

【0040】液晶パネルには、マトリックス状に液晶画素809とTFT808が配置され、TFTにはソースライン807、ゲートライン806、及び上記液晶画素809が接続されている。ゲートライン806は、液晶ドライバ（ゲートドライバ側）802により順次駆動され、TFT808のゲートをオンし、ソースライン807の階調表示用電圧を液晶画素に伝達する働きを行う。

【0041】ソースライン807は、液晶ドライバ（ソースドライバ側）801により駆動される。液晶ドライバ（ソースドライバ側）801の出力電圧は、液晶画素が光を透過する量を調整する働きをし、これにより階調表示を行う。なお、液晶ドライバ（ソースドライバ側）801には、階調表示用データ905が入力されている。

【0042】図9に液晶ドライバ（ソースドライバ側）801のデジタル階調表示用データ905（以下、単に、階調表示用データ905と称す。）の取り込みを示す。階調表示用データ905（例えば、64階調表示の場合には6ビットのデータ）は、液晶パネルの1ライン分がシリアルデータとして入力される。このようにして入力された階調表示用データ905は、駆動クロック804によりデータサンプリング回路906でサンプリングされ、駆動クロック804に同期して、内部データバス907に送り出される。

【0043】一方、駆動クロック804により、シフトレジスタ902が動作しており、スタートパルス803を転送させることによって、各出力のデータの取り込みタイミングを示す信号（SD1、SD2、SD3、SD4、SD5、…）を生成する。データの先頭はスタートパルス803によって示される。

【0044】内部データバス907に送り出された階調表示用データ905は、信号（SD1、SD2、SD3、SD4、SD5、…）によりホールドメモリ回路908、908、908、908、908、…の所定の番地に取り込まれ、1水平走査期間ラッチされる。これらの信号は、ホールドメモリ回路908、908、908、908、908、…内の各レベルシフタ回路（図示しない）においてレベル変換された

後、ホールドメモリ回路908、908、908、908、908、…内の各DA変換回路（図示しない）において、基準電圧発生回路930からの出力電圧から、階調表示用データ905に応じた階調表示用電圧が選択されて出力される。

【0045】そして、出力回路（第1出力回路910、第2出力回路910、第3出力回路910、第4出力回路910、第5出力回路910、…）でインピーダンス変換された後（後述する）、液晶パネルのソースライン807、ソースライン807、ソースライン807、ソースライン807、ソースライン807、…にそれぞれ出力される。

【0046】液晶パネル内のゲートライン（GA1、GA2、GA3、…）は、上記液晶ドライバ（ゲートドライバ側）802により駆動され、目的の液晶画素のラインにソースライン807（807、807、807、…）の電圧を書き込む働きをする。液晶ドライバ（ソースドライバ側）801の出力タイミングとゲートラインの駆動タイミングについては、本発明に直接関係ないので、説明は省略する。

【0047】内部データバス907からのデータ取り込みの関係を図10に示す。スタートパルス803は、駆動クロック804の立ち下がりでサンプリングされ、スタートパルス803がHになると、内部データバス907はスタートパルス803をサンプリングした次の駆動クロック804の立ち上がりから階調表示用データ905の取り込みを開始する。

【0048】一方、サンプリングされたスタートパルス803は、シフトレジスタ902をスタートさせ、駆動クロック804の立ち上がりに同期してH信号を順送りして、信号SD1、SD2、SD3、SD4、SD5、…を生成する。信号SDxは、液晶ドライバの出力数により決定される。

【0049】例えば、240出力で、RGBの3画素分のデータを同時に取り込む場合、80段の3倍のシフトレジスタが必要となり、信号SDxのxは1～80が必要になる。信号SDxは、それぞれがホールドメモリ回路に接続されており、HからLに変化した直前のデータを保持する。

【0050】図10では信号SD1がHからLに変化した時点で、内部データバス907の信号は、「1」（ハイレベル）の状態であるため、第1出力データは「1」の状態のデータが保持される。

【0051】同様に、信号SD2、SD3、SD4、SD5、…に対応したデータが順次出力へと取り込まれる。本動作により、各ホールドメモリ回路は、出力すべき階調電圧を示すデータを取り込み、表示パネルの1水平走査期間保持することになる。本発明は、この保持したデータを使って出力回路の低消費電力化を実現するもので、データの入力方法、出力回路の駆動対象等、具体

的な実現方法は、一例であり、特にこれに限定されるものではない。

【0052】図1は、本発明の実施の形態に係るインピーダンス変換回路の構成例を示し、この回路は、図9で動作を説明したインピーダンス変換を行う出力回路（第1出力回路910、第2出力回路910、第3出力回路910、第4出力回路910、第5出力回路910、…）に対応する。

【0053】オペアンプ（差動増幅回路）11は、PチャンネルMOSトランジスタで入力段の差動対を構成したものであり、信号DISがH（ハイレベル）になったときに、オペアンプ（差動増幅回路）11の内部を流れる電流をオフして出力をハイインピーダンス状態にする。

【0054】オペアンプ（差動増幅回路）12は、NチャンネルMOSトランジスタで入力段の差動対を構成したものであり、上記信号DISがLになったときに、オペアンプ（差動増幅回路）12内部を流れる電流をオフして出力をハイインピーダンス状態にする。

【0055】オペアンプ（差動増幅回路）11及び12内部を流れる電流をオフし、出力をハイインピーダンス状態にする制御は、信号DISにより行われるが、この信号DISは、後述するように階調表示用データ905から生成される。

【0056】図2は、PチャンネルMOSトランジスタで入力段の差動対を構成したオペアンプ（差動増幅回路）11の具体的回路構成例を示す回路図である。また、図3は、NチャンネルMOSトランジスタで入力段の差動対を構成したオペアンプ（差動増幅回路）12の具体的回路構成例を示す回路図である。

【0057】これらの回路構成は、基本的には先に説明した図12及び図13と同じであるので、重複する箇所の説明は省略する。

【0058】図1（PチャンネルMOSトランジスタで入力段の差動対を構成したオペアンプ（差動増幅回路）11の場合）は、図12のオペアンプ101において、電源電圧Vdd（動作電源）とPチャンネルMOSトランジスタ1103及び1104の間に、PチャンネルMOSトランジスタ201及び202をそれぞれ設けた点、電源電圧VddとPチャンネルMOSトランジスタ1105のゲートの間にPチャンネルMOSトランジスタ203を設けた点、並びに、出力段のNチャンネルMOSトランジスタ1121のゲートとGNDとの間に、NチャンネルMOSトランジスタ204を設けた点で、図12と異なっている。

【0059】上記構成によれば、信号DISがH（Vddレベル）の場合、信号DISNは信号DISの反転信号であるのでL（GNDレベル）となる。これに伴って、PチャンネルMOSトランジスタ201及び202がオフ状態となる。このため、オペアンプ（差動増幅回

路）11には、動作点を決めるバイアス電流を含む回路電流が流れなくなる（遮断される）。

【0060】さらに、出力段に設けられたPチャンネルMOSトランジスタ203とNチャンネルMOSトランジスタ204とは、共に、オン状態となるため、出力段を構成するPチャンネルMOSトランジスタ1105と、NチャンネルMOSトランジスタ1121とは共にオフ状態となる。これにより、オペアンプ（差動増幅回路）11の出力がハイインピーダンス状態になると共に、出力段を流れる電流も遮断される。

【0061】一方、信号DISが逆にL（GNDレベル）の場合は、電源電圧VddがPチャンネルMOSトランジスタ201及び202を介してPチャンネルMOSトランジスタ1103及び1104にそれぞれ供給されると共に、PチャンネルMOSトランジスタ203とNチャンネルMOSトランジスタ204とは、共に、オフ状態となるので、図12に示す回路と等価となり、前述した通常のインピーダンス変換動作が行われる。なお、前述の説明と重複するので、ここでは動作説明を省略する。

【0062】図3（NチャンネルMOSトランジスタで入力段の差動対を構成したオペアンプ（差動増幅回路）12の場合）は、図13において、GNDとNチャンネルMOSトランジスタ1203及び1204の間に、NチャンネルMOSトランジスタ301及び302がそれぞれ設けられていると共に、出力段のPチャンネルMOSトランジスタ1221のゲートと電源電圧Vddの間に、PチャンネルMOSトランジスタ304が設けられ、更に、NチャンネルMOSトランジスタ1205のゲートとGNDの間に、NチャンネルMOSトランジスタ303が挿入された点で図13と異なっている。

【0063】上記構成によれば、信号DISがL（GNDレベル）の場合、信号DISNは信号DISの反転信号であるためH（Vddレベル）となる。これに伴って、NチャンネルMOSトランジスタ301及び302がオフ状態となるため、オペアンプ（差動増幅回路）12には、動作点を決めるバイアス電流を含む回路電流が流れず、遮断される。

【0064】このとき、出力段に設けられたNチャンネルMOSトランジスタ303とPチャンネルMOSトランジスタ304とは、共に、オン状態となるため、出力段を構成するNチャンネルMOSトランジスタ1205と、PチャンネルMOSトランジスタ1221とは、共に、オフ状態となる。これにより、オペアンプ（差動増幅回路）12の出力はハイインピーダンス状態になると共に、出力段を流れる電流も遮断されることになる。

【0065】一方、信号DISが逆にH（Vddレベル）の場合は、PチャンネルMOSトランジスタ301及び302を介してPチャンネルMOSトランジスタ1203及び1204がそれぞれGNDに接続されると共

に、NチャンネルMOSトランジスタ303とPチャンネルMOSトランジスタ304とは、共に、オフ状態となるので、図13に示す回路と等価となり、前述した通常のインピーダンス変換動作が行われる。なお、前述の説明と重複するので、ここでは動作説明を省略する。

【0066】以上より、信号DISがLのときは、NチャンネルMOSトランジスタで入力段の差動対を構成したオペアンプ（差動増幅回路）12が動作を停止する一方、PチャンネルMOSトランジスタで入力段の差動対を構成したオペアンプ（差動増幅回路）11が動作することになる。動作を停止している、NチャンネルMOSトランジスタで入力段の差動対を構成したオペアンプ（差動増幅回路）12の出力段はハイインピーダンス状態であるので、オペアンプ（差動増幅回路）11の動作に支障を来さない。これにより、信頼性の非常に高いインピーダンス変換装置を提供することが可能となる。

【0067】逆に、信号DISがHのときは、PチャンネルMOSトランジスタで入力段の差動対を構成したオペアンプ（差動増幅回路）11が動作を停止し、NチャンネルMOSトランジスタで入力段の差動対を構成したオペアンプ（差動増幅回路）12が動作することになる。この場合も、動作を停止しているオペアンプ（差動*

*増幅回路）11の出力段はハイインピーダンス状態であるので、オペアンプ（差動増幅回路）12の動作に支障を来さない。これにより、信頼性の非常に高いインピーダンス変換装置を提供することが可能となる。

【0068】上記信号DISとしては、例えば、各出力回路（各出力端子毎に設置）に付加されているDA変換回路に入力されている階調表示用データ905（例えば、6ビット）の最上位ビット（MSB）を使用している。

【0069】この段階の階調表示用データ905は、上記レベルシフト回路を介して、レベル変換されており、Vdd-GNDレベル間の電位を持つ信号となっている。64階調表示の場合を例に、階調（0～63）と階調表示データ（6ビット）と、信号DIS（階調表示用データ905のMSB）の関係を表1に示す。表1に示すように、0～31の階調のときには信号DISがL（ローレベル、「0」）となる一方、32～63の階調のときには信号DISがH（ハイレベル、「1」）となる。

【0070】

【表1】

階調表示用データ							16進	階調	DIS
2進									
MSB						LSB			
5	4	3	2	1	0				
0	0	0	0	0	0	0	00H	0	0
0	0	0	0	0	0	1	01H	1	0
0	0	0	0	0	1	0	02H	2	0
:	:	:	:	:	:	:	:	:	:
:	:	:	:	:	:	:	:	:	:
:	:	:	:	:	:	:	:	:	:
0	1	1	1	1	0	1	1DH	29	0
0	1	1	1	1	1	0	1EH	30	0
0	1	1	1	1	1	1	1FH	31	0
1	0	0	0	0	0	0	20H	32	1
1	0	0	0	0	0	1	21H	33	1
1	0	0	0	0	1	0	22H	34	1
:	:	:	:	:	:	:	:	:	:
:	:	:	:	:	:	:	:	:	:
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	0	1	3DH	61	1
1	1	1	1	1	1	0	3EH	62	1
1	1	1	1	1	1	1	3FH	63	1

【0071】以上のように、信号DISは最上位ビット（MSB）を使用しているため、階調表示用データ905が00H～1FH（16進表示）ではL（ローレベル、「0」）、20H～3FHではH（ハイレベル、「1」）になる。このため、階調表示用データ905が00H～1FHでは、オペアンプ（差動増幅回路）11が動作し、オペアンプ（差動増幅回路）12は動作しない。階調表示用データ905が20H～3FHでは、逆に、オペアンプ（差動増幅回路）11は動作を停止し、

オペアンプ（差動増幅回路）12が動作する。オペアンプ（差動増幅回路）11及び12を図1のように接続し、階調表示用データ905が00Hに対する液晶駆動出力電圧を最低位の電圧、階調表示用データ905が3FHに対する液晶駆動出力電圧を最高位の電圧に設定した場合を図4に示す。

【0072】ここで、図5を参照しながら、以下に、本発明に係る他の実施の形態について説明する。なお、図1と同じ機能を有する部材には同じ部材番号を付記し、

詳細な説明を省略する。

【0073】図5において、オペアンプ（差動増幅回路）11とオペアンプ（差動増幅回路）12は図1と同じものであり、接続も同様であるが、各DA変換回路に
入力される階調表示用データ905により、オペアンプ
（差動増幅回路）の動作の停止を制御する信号を生成す
るデコーダ45が更に設けられている点で異なってい
る。なお、図5では、図2の信号DISに代えてデコー
ダ45からの信号DISPが入力されると共に、図3の
信号DISに代えてデコーダ45からの信号DISNが 10
入力される。

【0074】デコーダ45の回路構成例を図6に示す。
この実施の形態においては、各出力端子毎に設置されて
いるDA変換回路（図示しない）に入力される階調表示
用データ905の上位2ビット（ビット数が6の場合、
ビット5及びビット4）を使用した例である。

【0075】この場合、デコーダ45は、図6に示すよ
うに、論理和回路45aと論理積回路45bとから構成
されている。論理和回路45aの一方の入力端子には、
階調表示用データ905のビット5が入力されると共 20
に、論理積回路45bの一方の入力端子が接続される。
論理和回路45aの他方の入力端子には、階調表示用デ
ータ905のビット4が入力されると共に、論理積回路

45bの他方の入力端子が接続される。そして、論理和
回路45aの出力が信号DISNとしてオペアンプ（差
動増幅回路）12に送られる一方、論理積回路45bの
出力が信号DISPとしてオペアンプ（差動増幅回路）
11に送られる。

【0076】上記構成のデコーダ45によれば、階調表
示用データ905において、ビット5とビット4とが共
にH（ハイレベル、「1」）の場合、信号DISPはH
（ハイレベル、「1」）となる一方、ビット5またはビ
ット4がL（ローレベル、「0」）の場合、信号DIS
PはL（ローレベル、「0」）となる。

【0077】これに対して、階調表示用データ905に
おいて、ビット5またはビット4の少なくとも一方がH
（ハイレベル、「1」）の場合、信号DISNはH（ハ
イレベル、「1」）となる一方、ビット5とビット4と
が共にL（ハイレベル、「0」）の場合、信号DISN
はL（ローレベル、「0」）となる。

【0078】64階調表示の場合を例に、階調（0～6
3）と階調表示用データ905（6ビット）と、信号D
ISP及びDISNとの関係を示すと表2のようにな
る。

【0079】

【表2】

階調表示用データ							16進	階調	DISP	DISN
2進										
MSB						LSB				
5	4	3	2	1	0					
0	0	0	0	0	0	0	00H	0	0	0
0	0	0	0	0	0	1	01H	1	0	0
0	0	0	0	0	1	0	02H	2	0	0
:	:	:	:	:	:	:	:	:	:	:
0	0	1	1	0	1	0	0DH	13	0	0
0	0	1	1	1	0	0	0EH	14	0	0
0	0	1	1	1	1	1	0FH	15	0	0
0	1	0	0	0	0	0	10H	16	0	1
0	1	0	0	0	0	1	11H	17	0	1
:	:	:	:	:	:	:	:	:	:	:
:	:	:	:	:	:	:	:	:	:	:
:	:	:	:	:	:	:	:	:	:	:
0	1	1	1	0	1	0	1DH	29	0	1
0	1	1	1	1	0	0	1EH	30	0	1
0	1	1	1	1	1	1	1FH	31	0	1
1	0	0	0	0	0	0	20H	32	0	1
1	0	0	0	0	0	1	21H	33	0	1
1	0	0	0	1	0	0	22H	34	0	1
:	:	:	:	:	:	:	:	:	:	:
:	:	:	:	:	:	:	:	:	:	:
1	0	1	1	0	0	0	2CH	44	0	1
1	0	1	1	0	0	1	2DH	45	0	1
1	0	1	1	1	0	0	2EH	46	0	1
1	0	1	1	1	1	1	2FH	47	0	1
1	1	0	0	0	0	0	30H	48	1	1
1	1	0	0	0	1	0	31H	49	1	1
:	:	:	:	:	:	:	:	:	:	:
1	1	1	1	0	0	1	3DH	61	1	1
1	1	1	1	1	0	0	3EH	62	1	1
1	1	1	1	1	1	1	3FH	63	1	1

【0080】図6の回路は、階調表示用データ905の上位2ビット（ビット5及びビット4）を使用して、信号DISPを、階調表示用データ905が00H～2FHではL、30H～3FHではHにすると共に、信号DISNを、階調表示用データ905が00H～0FHではL、10H～3FHではHにするものである。

【0081】換言すれば、オペアンプ（差動増幅回路）11は信号DISPがHで停止するため、00H～2FHでは動作し、30H～3FHでは停止する。オペアンプ（差動増幅回路）12は信号DISNがLで動作が停止するため、00H～0FHでは動作が停止し、10H～3FHで動作する（動作状態となる）。

【0082】階調表示用データ905が00Hに対する液晶駆動出力電圧を最低位の電圧、階調表示用データ905が3FHに対する液晶駆動出力電圧を最高位の電圧に設定した場合の関係を図7に示す。

【0083】以上のように、図5の構成のように、デコーダ45の構成次第で、オペアンプ（差動増幅回路）11及び12の動作、及び動作の停止の範囲をそれぞれ自由に設定できる。このことにより、次のことが言える。

【0084】すなわち、本実施の形態においては、階調

表示用データ905が00H～0FHの範囲は、オペアンプ（差動増幅回路）12の動作を停止してオペアンプ（差動増幅回路）11のみ動作させる。そして、階調表示データ30H～2FHの範囲は、オペアンプ（差動増幅回路）11の動作を停止してオペアンプ（差動増幅回路）12のみ動作させるものである。これにより、オフセットが発生する電圧範囲では、バイアス電流を含む回路電流を遮断して該当するオペアンプの動作を停止する一方、双方にオフセットが発生しない領域では、オペアンプ（差動増幅回路）11及び12の双方を動作させることで液晶表示装置等の表示装置の画素容量を駆動する駆動能力を増大させるものである。

【0085】図5の構成は、低消費電圧化においては一步譲ることになるが、電源電圧V_{dd}が比較的低い電圧で、表示装置が大画面で大画素数である（ソースライン数が多い）場合等、出力回路で消費される消費電力よりも、高速駆動や画素容量の駆動能力の方が強く要求されるときに有効である。

【0086】一方、前述の実施の形態のようにオペアンプ（差動増幅回路）11及び12の動作、及び動作の停止の範囲を最上位ビット（MSB）により設定すること

によって、オペアンプ（差動増幅回路）11と12は、何れか一方の回路電流が遮断され、同時に回路電流が流れることがないため、電源電圧V_{dd}が10V以上で数十V（例えば、80V）と高いときに発生する、オペアンプ（差動増幅回路）11と12を通じて流れる電流をなくすることができ、表示装置の駆動装置がこれらのオペアンプ（差動増幅回路）11と12を備えた場合、低消費電力化に大きく寄与することができる。

【0087】なお、上記デコーダ45により生成された信号DISP及び信号DISNの各々の信号レベルでの各オペアンプの動作及び停止動作は、前述の実施の形態と基本的に同じであるので、ここでは説明を省略する。

【0088】また、以上の例における説明では、出力回路としての差動増幅回路は増幅をしないボルテージフォロアの場合を例示して説明したが、本発明はこれに限定されるものではなく、例えば、非反転増幅回路や反転増幅回路として増幅を行う構成でもよい。この場合、出力回路内で階調用表示電圧を増幅することができるため、図9でホールドメモリ回路908、908、908、908、908、908、…内で必要であった各レベルシフト回路（図示しない）が不要となり、その分、回路削減が可能となる。

【0089】以上、低インピーダンス出力にインピーダンス変換を行う出力回路として、液晶表示装置の駆動装置（特に、ソースドライバ）を例示して説明してきたが、本発明はこれに限定されるものではなく、マトリクス状に配置された画素を有し、画素が寄生容量も含む負荷容量を有し、階調表示を画素への印加電圧を変えることによって実現する表示装置の駆動装置、例えば、液晶表示装置やEL（エレクトロルミネッセンス）表示装置等にも有効であり、特に画素への印加電圧が高い場合、特にその効果を発揮するものである。

【0090】本発明のインピーダンス変換装置は、以上のように、デジタル入力データに応じて複数の電圧値から一つを選択する手段と、選択された電圧値を低インピーダンス出力変換するための高電圧側を低インピーダンスに変換する低インピーダンス出力変換手段と低電圧側を低インピーダンスに変換する低インピーダンス出力変換手段の双方の入力段及び出力段を各々接続した並列接続構成を有する低インピーダンス出力変換装置において、上記2種類の低インピーダンス出力変換手段は、変換動作を動作もしくは停止させる制御手段を有し、この制御手段の制御は上記デジタル入力データから取り出したデータに基づいて行うことを特徴としている。

【0091】上記制御手段の制御を行うための上記デジタル入力データは、その最上位ビットであることが好ましい。上記制御手段の制御を行うための上記デジタル入力データは、その上位2ビットであってもよい。

【0092】上記高電圧側を低インピーダンスに変換する低インピーダンス出力変換手段と低電圧側を低インピ

ーダンスに変換する低インピーダンス出力変換手段はいずれかが動作状態にあるときは他の一方は必ず停止状態にあることが好ましい。

【0093】上記停止状態では、上記低インピーダンス出力変換手段内を流れる電流を遮断し、かつ、出力段をハインピーダンス状態にする制御手段を有していることが好ましい。

【0094】以上の低インピーダンス出力変換装置を含んで表示装置用駆動装置を構成することが好ましい。この表示装置用駆動装置は、液晶表示装置の駆動装置であることが好ましい。上記表示装置用駆動装置は、ソースドライバであることが好ましい。

【0095】上記の発明によれば、出力毎に設定される階調表示用データ905により、各出力回路での出力電圧に影響を与えないオペアンプを停止することによって、出力駆動回路の消費電流をほぼ半分にすることが可能となる。また、階調表示用データをデコードすることにより、出力電圧の範囲でどのオペアンプを使用するかを選択することが可能となる。これにより、非常に有効に、出力回路の駆動電流の低減を図ることが可能となる。

【0096】なお、以上の例における説明では、出力回路としての差動増幅回路は増幅をしないボルテージフォロア方式を例示して説明したが、本発明はこれに限定されるものではなく、例えば、非反転増幅回路や反転増幅回路として増幅を行う構成でもよい。この場合、出力回路で階調用表示電圧を増幅することができるため、図9に示したレベルシフト回路が不要となり、回路削減が可能となる。

【0097】以上、低インピーダンス出力にインピーダンス変換を行う出力回路として、液晶表示装置の駆動装置（特に、ソースドライバ）で説明を行ってきたが、本発明はこれに限定されるものではなく、マトリクス状に配置された画素を有し、画素が寄生容量も含む負荷容量を有し、階調表示を画素への印加電圧を変えることによって実現する表示装置の駆動装置、例えば、液晶表示装置やEL（エレクトロルミネッセンス）表示装置等に有効であり、特に画素への印加電圧が高い場合、特にその効果を発揮するものである。

【0098】

【発明の効果】本発明に係るインピーダンス変換装置は、以上のように、互いに並列に接続され、デジタル入力データに応じて変化する電圧に対してインピーダンス変換する第1及び第2差動増幅回路と、上記デジタル入力データに基づいて、動作電源を供給して上記第1又は第2差動増幅回路の何れか一方を動作状態にすると共に、動作電源を供給しないで他方を非動作状態にするように制御する制御手段とを備えたものである。

【0099】上記の発明によれば、制御手段が設けられており、この制御手段により、上記デジタル入力データ

に基づいて上記第1及び第2差動増幅回路の何れか一方は動作電源が供給されて動作状態になる一方、他方は動作電源が供給されずに非動作状態になるように制御される。

【0100】その結果、常に、動作状態にあるのは、第1又は第2差動増幅回路の何れか一方のみとなる。換言すれば、第1又は第2差動増幅回路の何れか一方は、常に、非動作状態にあり、この差動増幅回路においては電流が消費されない（同時に第1及び第2差動増幅回路の双方に電流が流れることはない。）。それゆえ、インビ

【0101】また、2つの差動増幅回路の双方が同時に動作状態にあれば、動作電源の電圧が数十ボルトと高い場合、両差動増幅回路間を通じて電流が流れるという不具合を招来するが、上記発明によれば、何れか一方の差動増幅回路のみが動作状態にあるので、このような不具合も確実に克服できる。

【0102】加えて、制御手段による上記制御が、インビ

【0103】上記制御手段は、上記デジタル入力データの最上位ビットに基づいて上記制御を行うことが好ましい。この場合、オフセットが発生する電圧範囲において、該当する差動増幅回路を非動作状態にできるので、信頼性を著しく向上させることが可能となるという効果を併せて奏する。

【0104】本発明に係る他のインビダンス変換装置は、上記課題を解決するために、互いに並列に接続され、デジタル入力データに応じて変化する電圧に対してインビダンス変換する第1及び第2差動増幅回路と、上記デジタル入力データの上位2ビットをデコードするデコード手段と、上記デコード手段の出力に基づいて、動作電源を供給して上記第1又は第2差動増幅回路の何れか一方を動作状態にすると共に動作電源を供給しないで他方を非動作状態にするように制御するか、又は第1及び第2差動増幅回路の双方に動作電源を供給して動作状態にするように制御する制御手段とを備えたものである。

【0105】上記の発明においては、上記デジタル入力データの上位2ビットをデコードするデコード手段が設けられ、このデコード手段の出力に基づいて、制御手段により、上記デジタル入力データに基づいて上記第1及び第2差動増幅回路の何れか一方は動作電源が供給されて動作状態になると共に、他方は動作電源が供給されずに非動作状態になるように制御されるか、または、第1

及び第2差動増幅回路の双方に動作電源が供給されて双方が動作状態になるように制御される。

【0106】上記制御において、前者の場合、前述のように、インビダンス変換装置の消費電流を上記従来の半分に抑えることが可能となる。これに対して、後者の制御の場合、第1及び第2差動増幅回路の双方を動作させることにより、インビダンス変換装置の出力の駆動能力を確実に増大させることが可能となる。

【0107】加えて、制御手段による上記制御が、インビ

【0108】更に、オフセットが発生する電圧範囲において、該当する差動増幅回路を非動作状態にでき、これにより、信頼性を著しく向上させることが可能となる。双方の差動増幅回路にオフセットが発生しない電圧範囲において第1及び第2差動増幅回路の双方を動作させることにより、インビダンス変換装置の出力の駆動能力を確実に増大させることが可能となるという効果を併せて奏する。

【0109】上記インビダンス変換装置において、非動作状態の上記差動増幅回路の出力は、ハイインビダンスであることが好ましい。この場合、動作電源が供給されない方の差動増幅回路の出力は、上記制御手段によってハイインビダンスに制御されるので、動作状態にある差動増幅回路の動作に支障を来さない。それゆえ、インビダンス変換装置の信頼性を著しく向上させることが可能となるという効果を併せて奏する。

【0110】上記デジタル入力データは、階調表示用データであり、この階調表示用データに応じて選択されたアナログの階調表示用電圧が上記のインビダンス変換装置によってインビダンス変換されるものを表示装置の駆動装置とすることが好ましい。この場合、階調表示用電圧を増幅することによって、従来必要であったレベルシフタ回路が不要となり、回路削減が可能となるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の実施の形態に係るインビダンス変換回路の構成例を示す回路図である。

【図2】PチャンネルMOSトランジスタで入力段の差動対を構成したオペアンプ（差動増幅回路）の具体的回路構成例を示す回路図である。

【図3】NチャンネルMOSトランジスタで入力段の差動対を構成したオペアンプ（差動増幅回路）12の具体的回路構成例を示す回路図である。

【図4】液晶駆動出力電圧を最低位の電圧及び最高位の電圧に設定した場合を示す説明図である。

【図5】本発明の他の実施の形態に係るインビダンス

変換回路の構成例を示す回路図である。

【図6】図5のデコーダの構成例を示す回路図である。

〔図 7〕液晶駆動出力電圧を最低位の電圧及び最高位の電圧に設定した他の場合を示す説明図である。

【図 8】 TFT を用いた液晶パネルを駆動する液晶ドライバを使用した場合を示す概略図である。

【図 9】液晶ドライバ（ソースドライバ側）の階調表示用データの取り込みを説明する説明図である。

【図10】内部データベースからのデータ取り込みの関係を説明する説明図である。

【図 11】従来のインピーダンス変換装置の構成例を示す回路図である。

【図12】図11のインピーダンス変換装置において、入力段が、PチャンネルMOSトランジスタで差動対により構成されていることを示す回路図である。

【図13】図11のインピーダンス変換装置において、＊

* 入力段が、NチャンネルMOSトランジスタで差動対により構成されていることを示す回路図である。

【図14】(a)乃至(c)は、従来の他のインピーダンス変換回路例を示す回路図である。

【図15】図14のインピーダンス変換装置において、消費電流が削減されることを示す説明図である。

【符号の説明】

11 オペアンプ（差動増幅回路）

12 オペアンプ（差動増幅回路）

45 デコーダ (デコード手段)

45 a 論理和回路 (デコード手段)

45b 論理積回路（デコード手段）

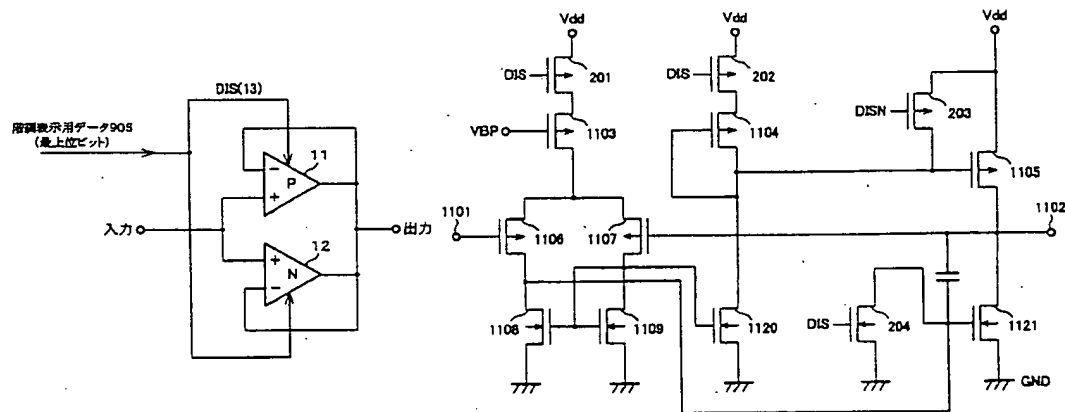
201 PチャンネルMOSトランジスタ（制御手段）

202 PチャンネルMOSトランジスタ(制御手段)

203 PチャンネルMOSトランジスタ(制御手段)

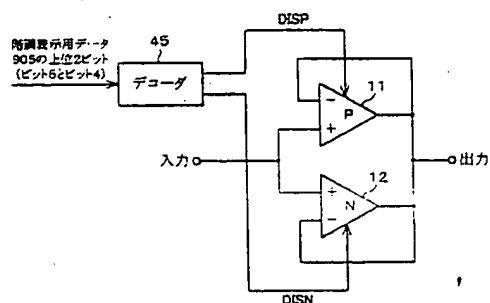
204 NチャンネルMOSトランジスタ (制御手段)

【圖 1】

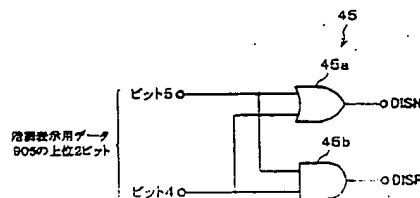


【圖2】

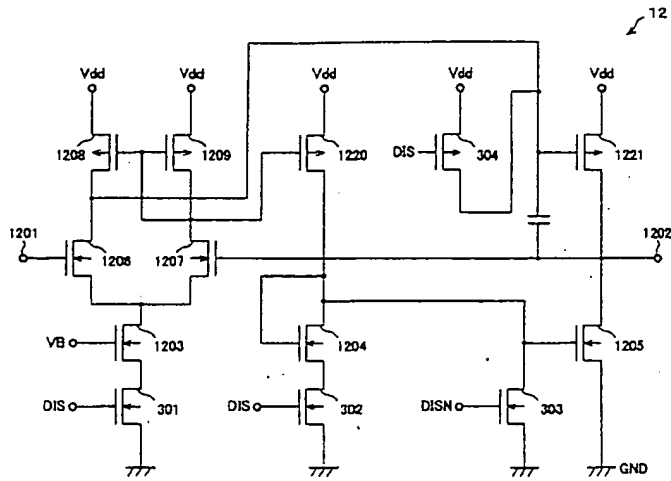
【圖5】



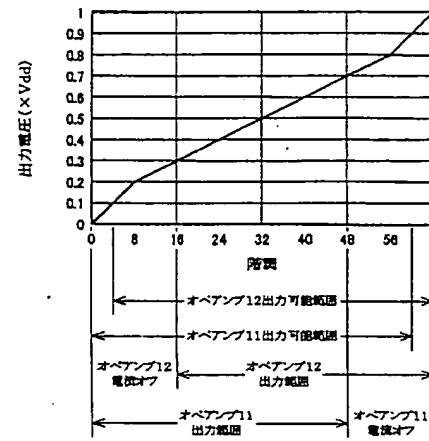
【圖6】



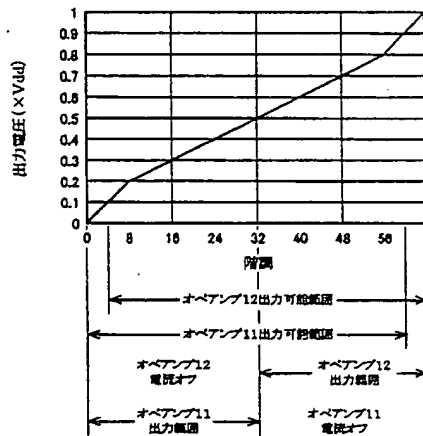
〔図3〕



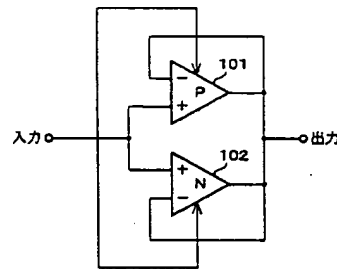
〔図7〕



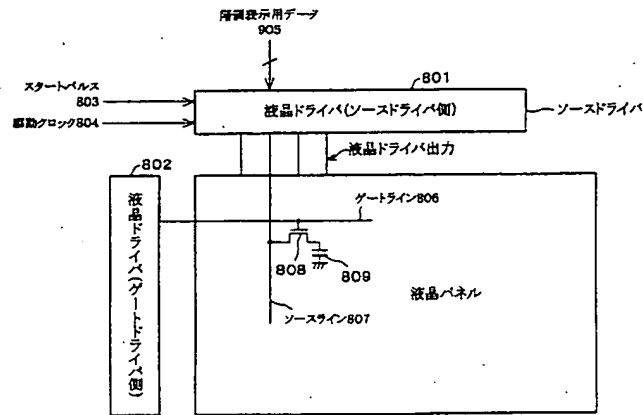
〔図4〕



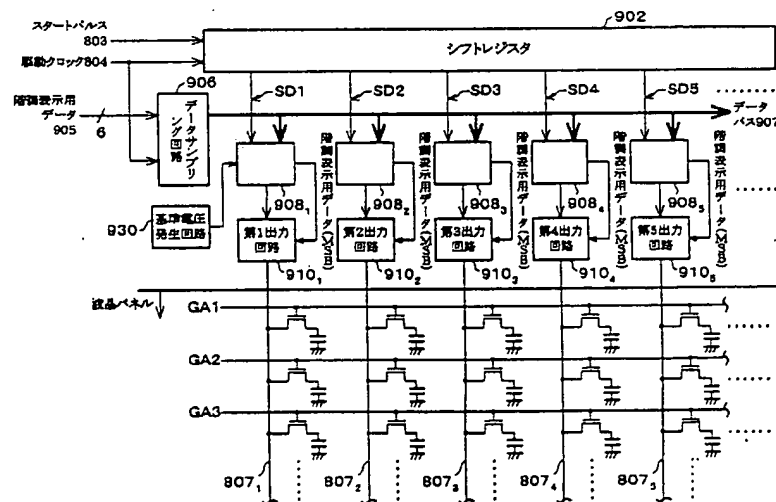
〔図11〕



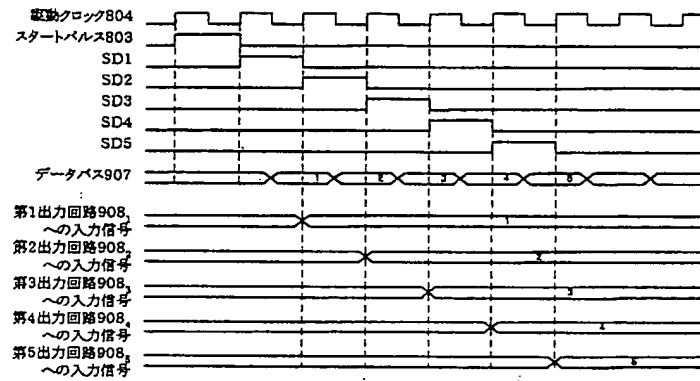
【図8】



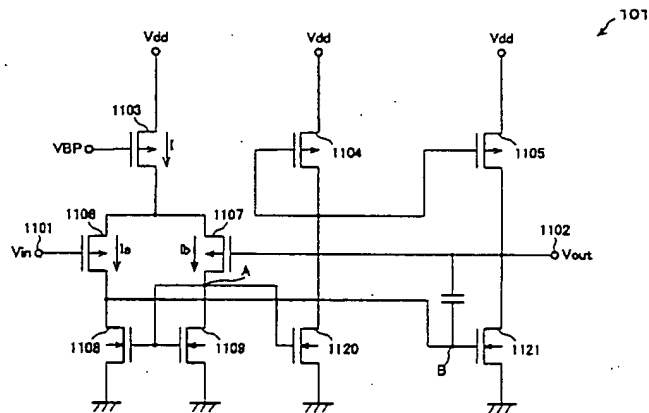
【図9】



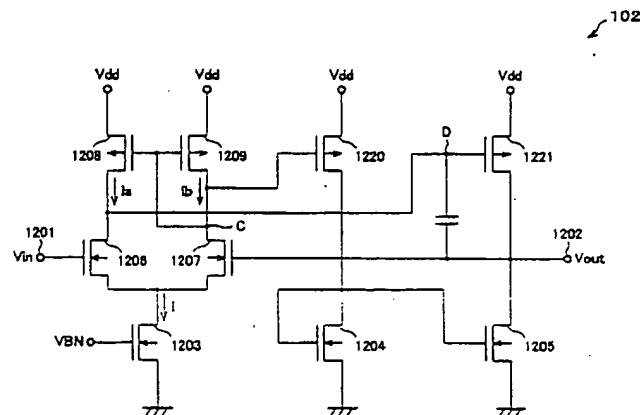
【図10】



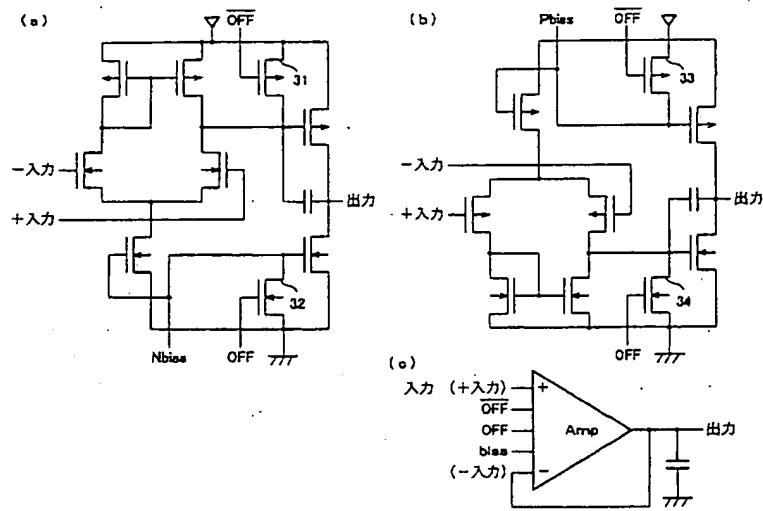
【図12】



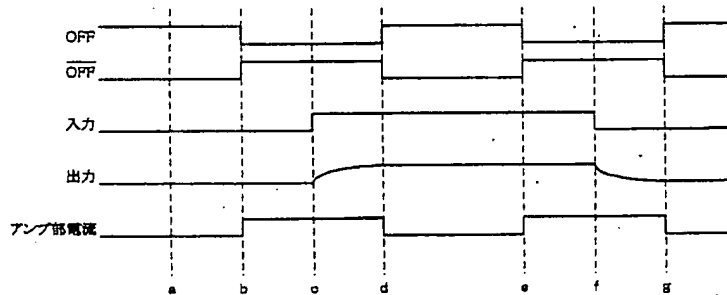
【図13】



【図14】



【図15】



フロントページの続き

(51)Int.Cl.⁷
H03F 3/68

識別記号

F I
H03F 3/68

キーワード(参考)
B

F ターム(参考) SC006 AC21 AF69 BB16 BC06 BC12
BC13 BF25 BF26 BF33 BF34
FA43 FA47 FA56
SC030 AA10 BB05 DD22 DD26 EE29
JJ02 JJ03 JJ04 JJ05
SJ069 AA01 AA12 AA21 AA45 AA47
CA36 FA10 FA18 HA10 HA17
HA29 KA02 KA09 KA33 KA67
MA21 SA08 TA01 TA02 TA06
SJ092 AA01 AA12 AA21 AA45 AA47
CA36 FA10 FA18 HA10 HA17
HA29 KA02 KA09 KA33 KA67
MA21 SA08 TA01 TA02 TA06

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Impedance-conversion equipment equipped with the 1st and 2nd differential amplifying circuits which carry out impedance conversion to the electrical potential difference which is mutually connected to juxtaposition and changes according to digital input data, and the control means controlled to make another side into non-operating state without supplying a power source of operation while supplying a power source of operation based on the above-mentioned digital input data and making either of the 1st or 2nd differential amplifying circuit of the above into operating state.

[Claim 2] The above-mentioned control means is impedance-conversion equipment according to claim 1 characterized by performing the above-mentioned control based on the most significant bit of the above-mentioned digital input data.

[Claim 3] The 1st and 2nd differential amplifying circuits which carry out impedance conversion to the electrical potential difference which is mutually connected to juxtaposition and changes according to digital input data, A decoding means to decode 2 bits of high orders of the above-mentioned digital input data, [whether it controls to make another side into non-operating state without supplying a power source of operation, and supplying a power source of operation based on the output of the above-mentioned decoding means, while

making either of the 1st or 2nd differential amplifying circuit of the above into operating state, and] Or impedance-conversion equipment equipped with the control means controlled to supply a power source of operation to the both sides of the 1st and 2nd differential amplifying circuits, and to make it operating state.

[Claim 4] The output of the above-mentioned differential amplifying circuit of non-operating state is claims 1 and 2 characterized by being high impedance, or impedance-conversion equipment given in 3.

[Claim 5] The above-mentioned digital input data are the driving gear of the display with which the electrical potential difference for a gradation display of the analog which is data for a gradation display and was chosen according to this data for a gradation display is characterized by carrying out impedance conversion to claims 1, 2, and 3 or 4 by the impedance-conversion equipment of a publication.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention is adopted as the output circuit section of a

driving gear which makes displays, such as a liquid crystal panel, drive, and relates to the driving gear of the impedance-conversion equipment which reduces power consumption, and the display equipped with it.

[0002]

[Description of the Prior Art] The liquid crystal display drive power circuit (the 2nd conventional technique is called hereafter.) which suspends the operational amplifier shown in the impedance-conversion circuit shown in JP,5-150736,A (the 1st conventional technique is called hereafter.) or JP,8-313867,A as a conventional technique of realizing the low power of an output circuit using a differential amplifying circuit is known.

[0003] The above-mentioned 1st conventional technique of an indication is explained to JP,5-150736,A, referring to drawing 11 thru/or drawing 13 .

[0004] In drawing 11 , an operational amplifier 101 constitutes an input stage from a P channel MOS transistor.

[0005] As an operational amplifier 101 is shown in drawing 12 , the input stage is constituted from P channel MOS transistors 1106 and 1107 by the differential pair. A constant voltage VBP is supplied to the gate of P channel MOS transistor 1103, and, thereby, constant current I flows to P channel MOS transistor 1103. This constant current I is for determining the operating point for the above-mentioned differential pair performing magnification without distortion. Constant current I is divided into Current Ia and Current Ib in the current Miller circuit constituted by the N-channel MOS transistor 1108-1109.

[0006] In the circuit of the above-mentioned configuration, when the relation between the input voltage V_{in} of an input terminal 1101 and the output voltage V_{out} of an output terminal 1102 fills $V_{in} < V_{out}$, it becomes $I_a > I_b$, the potential of Point A falls, and it goes in the direction which the N-channel MOS transistor 1108-1109 turns off. Consequently, the potential of Point B goes up, it becomes the direction which the N-channel MOS transistor 1121 turns on, the current which flows to the N-channel MOS transistor 1121 increases, and output voltage V_{out} falls. Thus, it changes to the condition of $V_{in} = V_{out}$.

[0007] On the other hand, when the relation between the input voltage V_{in} of an input terminal 1101 and the output voltage V_{out} of an output terminal 1102 is $V_{in} > V_{out}$, it becomes $I_a < I_b$, the potential of Point A goes up, and it goes in the direction which the N-channel MOS transistor 1108-1109 turns on. Consequently, the potential of Point B falls, it becomes the direction which the N-channel MOS transistor 1121 turns off, and the current which flows to the N-channel MOS transistor 1121 decreases. Since constant current is flowing to P channel MOS transistor 1105 based on the relation between P channel MOS transistor 1104 and the N-channel MOS transistor 1120 at this time, output voltage V_{out} becomes large as a result. Thus, it changes to the condition of $V_{in} = V_{out}$.

[0008] As mentioned above, an electrical potential difference equal to input voltage is outputted by the current balance of Currents I_a and I_b which flows to current Miller circuit. However, since current $I_a - I_b$ is a current which flows to a P channel MOS transistor, if input voltage (gate voltage) and supply voltage (V_{dd} in this case) approach, the voltage-level field which cannot pass a current will generate it. For this reason, the electrical potential difference (offset) which an output does not follow to the input voltage near a power-source side generates the circuit shown in drawing 12 .

[0009] Here, it explains below, referring to drawing 13 about the circuitry of an operational amplifier 102. As an operational amplifier 102 is shown in drawing 13 , the input stage is constituted from N-channel MOS transistors 1206 and 1207 by the differential pair. A constant voltage V_{BN} is supplied to the gate of the N-channel MOS transistor 1203, and, thereby, constant current I flows to the N-channel MOS transistor 1203. This constant current I is for determining the operating point for performing magnification without distortion. In the current Miller circuit constituted by P channel MOS transistor 1208-1209, Current I_a and Current I_b flow, and this serves as constant current I and flows the N-channel MOS transistor 1203.

[0010] In the circuit of the above-mentioned configuration, when the relation between the input voltage V_{in} of an input terminal 1201 and the output voltage

Vout of an output terminal 1202 falls $V_{in} < V_{out}$, it becomes $I_b > I_a$, the potential of Point C falls, and it goes in the direction which P channel MOS transistor 1208-1209 turns on. Consequently, the potential of Point D goes up and it becomes the direction which P channel MOS transistor 1221 turns off. Since constant current is flowing to the N-channel MOS transistor 1205 based on the relation between the N-channel MOS transistor 1204 and P channel MOS transistor 1220 at this time, output voltage Vout falls as a result. Thus, it changes to the condition of $V_{in} = V_{out}$.

[0011] On the other hand, when the relation between the input voltage V_{in} of an input terminal 1201 and the output voltage Vout of an output terminal 1202 is $V_{in} > V_{out}$, it becomes $I_b < I_a$, the potential of Point C goes up, and it goes in the direction which P channel MOS transistor 1208-1209 turns off. Consequently, the potential of Point D falls, and since it becomes the direction which P channel MOS transistor 1221 turns on, output voltage Vout goes up. Thus, it changes to the condition of $V_{in} = V_{out}$.

[0012] As mentioned above, control is performed by the current to which an operational amplifier 102 flows to the N-channel MOS transistors 1206 and 1207 which constitute the differential pair of an input stage unlike the configuration of drawing 12 R> 2. For this reason, with the case of drawing 12, the electrical potential difference (offset) which an output does not follow to the input voltage conversely near the GND (ground) side will occur.

[0013] When it is going to create the impedance-conversion circuit corresponding to between all the electrical potential differences from GND level to supply voltage level, it cannot respond with either an operational amplifier 101 or the operational amplifier 102 as mentioned above. For this reason, as shown in drawing 11, the electrical potential difference which cannot be outputted was mutually compensated by what the circuit of an operational amplifier 101 and an operational amplifier 102 is combined for (it connects with juxtaposition mutually), and the circuit which offset does not generate is realized.

[0014] Here, the above-mentioned 2nd conventional technique (JP,8-313867,A)

is explained, referring to drawing 14 .

[0015] The circuit shown by drawing 14 is used also as an output circuit which drives a capacitive load. Drawing 14 (a) or drawing 14 (b) was used, the impedance-conversion circuit as shown in drawing 14 (c) was created, and the capacitive load of a liquid crystal panel is charged. After charge termination, by inputting a signal into an OFF terminal, it is made for the current of bias not to flow and the consumed electric currents are reduced. This relation is shown in drawing 15 .

[0016] In time amount a, since an OFF terminal is H (high-level) and a /OFF terminal is L (low level), the N-channel MOS transistor 32-34 and P channel MOS transistor 31-33 turn all on, and a current does not flow in the amplifier section including a bias current.

[0017] All the above-mentioned MOS transistors turn off, flow a current in the amplifier section and enable it to reverse the level of an OFF terminal by time amount b, and to perform normal operation in it. If the signal of an input changes by time amount c, an output will change similarly and will charge a capacitive load. After fully charging capacity, an OFF terminal is reversed again, a bias current is stopped, and it is made for a current not to flow in the amplifier section (time amount d). Halt of these bias currents is performed all at once to a related differential amplifying circuit. Actuation same also at the time of discharge of capacity is performed (time amount e, f, and g).

[0018] As mentioned above, while making an output into high impedance after charging capacity, it becomes possible by stopping a bias current to reduce power consumption.

[0019]

[Problem(s) to be Solved by the Invention] However, the above-mentioned 1st and 2nd conventional technique has the following troubles, respectively.

[0020] That is, with the above-mentioned 1st conventional technique, since two differential amplifying circuits are always operating, a twice as many current as this will be consumed as compared with the case where it drives in one

differential amplifying circuit.

[0021] Moreover, it is the configuration of stopping the bias current of a differential amplifying circuit, and stopping those bias currents all at once after charging the capacitive load with which a full power terminal leads to an output with the above-mentioned 2nd conventional technique of reducing drive currents, while the stop instruction (stop signal) from the circuit outside is required. For this reason, the reduction effectiveness of power consumption will become small.

[0022]

[Means for Solving the Problem] The impedance-conversion equipment concerning this invention is equipped with the 1st and 2nd differential amplifying circuits which carry out impedance conversion to the electrical potential difference which is mutually connected to juxtaposition and changes according to digital input data, and the control means which controls another side to non-operating state without supplying a power source of operation while supplying a power source of operation based on the above-mentioned digital input data and making either of the 1st or 2nd differential amplifying circuit of the above into operating state in order to solve the above-mentioned technical problem.

[0023] According to the above-mentioned invention, the 1st and 2nd differential amplifying circuits mutually connected to juxtaposition perform impedance conversion to the electrical potential difference which changes according to digital input data, respectively.

[0024] Conventionally, since two differential amplifying circuits were always operating in the case of the above-mentioned impedance conversion in both, the twice as many current as this was consumed as compared with the case where it drives in one differential amplifying circuit. Moreover, even when reducing the drive currents of a differential amplifying circuit conventionally, since it was the configuration of stopping bias currents all at once after charging the capacitive load with which a full power terminal leads to an output moreover, the reduction effectiveness of power consumption was small [the stop signal from the differential amplifying circuit outside was required, and].

[0025] Then, according to the above-mentioned invention, the control means is established, and while a power source of operation will be supplied by this control means and either of the 1st and 2nd differential amplifying circuits of the above will be in operating state by it based on the above-mentioned digital input data, another side is controlled to be in non-operating state, without supplying a power source of operation.

[0026] Consequently, it always becomes only either of the 1st or 2nd differential amplifying circuit that it is in operating state. Whenever it puts in another way, either of the 1st or 2nd differential amplifying circuit will be in non-operating state, and a current will not be consumed in this differential amplifying circuit (a current does not flow to the both sides of the 1st and 2nd differential amplifying circuits to coincidence). So, it becomes possible to hold down the consumed electric current of impedance-conversion equipment to the above-mentioned conventional one half.

[0027] Moreover, according to the above-mentioned invention, since only one of differential amplifying circuits is in operating state, such fault is also certainly conquerable [if the both sides of two differential amplifying circuits are in operating state at coincidence, when the electrical potential difference of a power source of operation is as high as dozens of volts, the fault that a current flows through between both differential amplifying circuits will be invited, but].

[0028] In addition, since the above-mentioned control by the control means is performed based on the digital input data used as the radical of the electrical potential difference set as the object of impedance conversion, the signal (stop instruction) from the impedance-conversion equipment outside is not needed separately. Since the shift to non-operating state is not performed all at once and is moreover performed based on digital input data, the reduction effectiveness of power consumption can be enlarged certainly.

[0029] As for the above-mentioned control means, it is desirable to perform the above-mentioned control based on the most significant bit of the above-mentioned digital input data. In this case, in the electrical-potential-difference

range which offset generates, since the corresponding differential amplifying circuit is made to non-operating state, it becomes possible to raise dependability remarkably.

[0030] Other impedance-conversion equipments concerning this invention The 1st and 2nd differential amplifying circuits which carry out impedance conversion to the electrical potential difference which is mutually connected to juxtaposition and changes according to digital input data in order to solve the above-mentioned technical problem, A decoding means to decode 2 bits of high orders of the above-mentioned digital input data, [whether it controls to make another side into non-operating state without supplying a power source of operation, and supplying a power source of operation based on the output of the above-mentioned decoding means, while making either of the 1st or 2nd differential amplifying circuit of the above into operating state, and] Or it has the control means controlled to supply a power source of operation to the both sides of the 1st and 2nd differential amplifying circuits, and to make it operating state.

[0031] According to the above-mentioned invention, the 1st and 2nd differential amplifying circuits mutually connected to juxtaposition perform impedance conversion to the electrical potential difference which changes according to digital input data, respectively.

[0032] In the above-mentioned invention, a decoding means to decode 2 bits of high orders of the above-mentioned digital input data is established, and it is based on the output of this decoding means. By the control means While a power source of operation will be supplied and either of the 1st and 2nd differential amplifying circuits of the above will be in operating state based on the above-mentioned digital input data Another side is controlled to be in non-operating state, without supplying a power source of operation, or it is controlled so that a power source of operation will be supplied to the both sides of the 1st and 2nd differential amplifying circuits and both sides will be in operating state.

[0033] In the case of the former, in the above-mentioned control, it becomes possible as mentioned above to hold down the consumed electric current of

impedance-conversion equipment to the above-mentioned conventional one half. On the other hand, in the latter control, it becomes possible by operating the both sides of the 1st and 2nd differential amplifying circuits to increase the drive capacity of the output of impedance-conversion equipment certainly.

[0034] In addition, since the above-mentioned control by the control means is performed based on the digital input data used as the radical of the electrical potential difference set as the object of impedance conversion, the signal from the impedance-conversion equipment outside is not needed separately. Since the shift to non-operating state moreover is not performed all at once, the reduction effectiveness of power consumption can be enlarged certainly.

[0035] Furthermore, in the electrical-potential-difference range which offset generates, the corresponding differential amplifying circuit is made to non-operating state, and, thereby, it becomes possible to raise dependability remarkably. By operating the both sides of the 1st and 2nd differential amplifying circuits in the electrical-potential-difference range which offset does not generate in both differential amplifying circuits, it becomes possible to increase the drive capacity of the output of impedance-conversion equipment certainly.

[0036] By the way, as for the output of the above-mentioned differential amplifying circuit of non-operating state, it is desirable that it is high impedance. In this case, since the output of the differential amplifying circuit of the direction to which a power source of operation is not supplied is controlled by the above-mentioned control means by high impedance, it does not cause trouble to actuation of the differential amplifying circuit in operating state. So, it becomes possible to raise the dependability of impedance-conversion equipment remarkably.

[0037] The above-mentioned digital input data are data for a gradation display, and it is desirable to use as the driving gear of a display that to which impedance conversion of the electrical potential difference for a gradation display of the analog chosen according to this data for a gradation display is carried out by above impedance-conversion equipment. In this case, by amplifying the electrical

potential difference for a gradation display, the level-shifter circuit which was the need conventionally becomes unnecessary, and the circuit reduction of it is attained.

[0038]

[Embodiment of the Invention] It will be as follows if one gestalt of operation of this invention is explained based on drawing 1 R> 1 thru/or drawing 4 and drawing 8 thru/or drawing 10 .

[0039] The schematic diagram at the time of using the liquid crystal driver (liquid crystal driving gear) which drives the liquid crystal panel which used TFT (Thin Film Transistor) for drawing 8 as an example of the system configuration which used this invention is shown.

[0040] The liquid crystal pixel 809 and TFT808 are arranged in the shape of a matrix, and the source line 807, the gate line 806, and the above-mentioned liquid crystal pixel 809 are connected to the liquid crystal panel at TFT. A sequential drive is carried out by the liquid crystal driver (gate driver side) 802, and the gate line 806 turns on the gate of TFT808, and performs the work which transmits the electrical potential difference for a gradation display of the source line 807 to a liquid crystal pixel.

[0041] The source line 807 is driven by the liquid crystal driver (source driver side) 801. The output voltage of the liquid crystal driver (source driver side) 801 serves to adjust the amount in which a liquid crystal pixel penetrates light, and, thereby, performs a gradation display. In addition, the data 905 for a gradation display are inputted into the liquid crystal driver (source driver side) 801.

[0042] Incorporation of the data 905 (the data 905 for a gradation display are only called hereafter.) for a digital gradation display of the liquid crystal driver (source driver side) 801 is shown in drawing 9 . As for the data 905 (for example, the case of 64 gradation displays 6-bit data) for a gradation display, one line of a liquid crystal panel is inputted as serial data. Thus, the inputted data 905 for a gradation display are sampled with the drive clock 804 in the data sampling circuit 906, and are sent out to an internal data bus 907 synchronizing with the

drive clock 804.

[0043] The signal (SD1, SD2, SD3, SD4, SD5, --) which shows the incorporation timing of the data of each output is generated by the shift register's 902 operating and on the other hand, making a start pulse 803 transmit with the drive clock 804. The head of data is shown by the start pulse 803.

[0044] The data 905 for a gradation display sent out to the internal data bus 907 are incorporated by the predetermined address of the hold memory circuits 9081 and 9082, 9083, 9084, 9085, and -- with a signal (SD1, SD2, SD3, SD4, SD5, --), and 1 horizontal-scanning period latch is carried out. These signals The hold memory circuit 9081, 9082, and 9083, After the level conversion was carried out in each level-shifter circuit in 9084, 9085, and -- (not shown), In each DA translation circuit in the hold memory circuit 9081, 9082, 9083, 9084, 9085, and -- (not shown), the electrical potential difference for a gradation display according to the data 905 for a gradation display is chosen and outputted from the output voltage from the reference voltage generating circuit 930.

[0045] And after impedance conversion is carried out in an output circuit (the 1st output circuit 9101, the 2nd output circuit 9102, the 3rd output circuit 9103, the 4th output circuit 9104, the 5th output circuit 9105, and --) (it mentions later), it is outputted to the source line 8071 of a liquid crystal panel, the source line 8072, the source line 8073, the source line 8074, the source line 8075, and --, respectively.

[0046] The gate line in a liquid crystal panel (GA1, GA2 and GA3, --) is driven by the above-mentioned liquid crystal driver (gate driver side) 802, and serves to write the electrical potential difference of the source line 807 (8071, 8072, 8073, -) in Rhine of the target liquid crystal pixel. Since it is not directly related to this invention about the output timing of the liquid crystal driver (source driver side) 801, and the drive timing of a gate line, explanation is omitted.

[0047] The relation of data incorporation from an internal data bus 907 is shown in drawing 10 . If a start pulse 803 is sampled in falling of the drive clock 804 and a start pulse 803 is set to H, an internal data bus 907 will start incorporation of

the data 905 for a gradation display from falling of the following drive clock 804 which sampled the start pulse 803.

[0048] On the other hand, the sampled start pulse 803 starts a shift register 902, passes H signal around synchronizing with the standup of the drive clock 804, and generates signals SD1, SD2, SD3, SD4, and SD5 and --. Signal SDx is determined by the number of outputs of a liquid crystal driver.

[0049] For example, with 240 outputs, when incorporating the data for 3 pixels of RGB to coincidence, 80 steps of 3 times as many shift registers as this are needed, and, as for x of Signal SDx, 1-80 are needed. Each is connected to the hold memory circuit and Signal SDx holds data just before changing from H to L.

[0050] In drawing 10, since the signal of an internal data bus 907 is in the condition of "1" (high-level) when a signal SD 1 changes from H to L, as for the 1st output data, the data of the condition of "1" are held.

[0051] Similarly, signals SD2, SD3, SD4, and SD5 and the data corresponding to -- are incorporated to a sequential output. By this actuation, each hold memory circuit will incorporate the data in which the gradation electrical potential difference which should be outputted is shown, and will carry out [a display panel] 1 horizontal-scanning period maintenance. This invention realizes low-power-ization of an output circuit using this held data, and the concrete implementation approaches the entry-of-data approach, for [of an output circuit] a drive, etc. are examples, and are not limited to especially this.

[0052] Drawing 1 shows the example of a configuration of the impedance-conversion circuit concerning the gestalt of operation of this invention, and this circuit is equivalent to the output circuit (the 1st output circuit 9101, the 2nd output circuit 9102, the 3rd output circuit 9103, the 4th output circuit 9104, the 5th output circuit 9105, and --) which performs impedance conversion which explained actuation by drawing 9.

[0053] When the differential pair of an input stage is constituted from a P channel MOS transistor and Signal DIS is set to H (high-level), an operational amplifier (differential amplifying circuit) 11 turns off the current which flows the interior of

an operational amplifier (differential amplifying circuit) 11, and makes an output a hi-z state.

[0054] When the differential pair of an input stage is constituted from an N-channel MOS transistor and the above-mentioned signal DIS is set to L, an operational amplifier (differential amplifying circuit) 12 turns off the current which flows the operational amplifier (differential amplifying circuit) 12 interior, and makes an output a hi-z state.

[0055] Although control which turns off the current which flows an operational amplifier (differential amplifying circuit) 11 and the 12 interior, and makes an output a hi-z state is performed by Signal DIS, this signal DIS is generated from the data 905 for a gradation display so that it may mention later.

[0056] Drawing 2 is the circuit diagram showing the example of concrete circuitry of the operational amplifier (differential amplifying circuit) 11 which constituted the differential pair of an input stage from a P channel MOS transistor. Moreover, drawing 3 is the circuit diagram showing the example of concrete circuitry of the operational amplifier (differential amplifying circuit) 12 which constituted the differential pair of an input stage from an N-channel MOS transistor.

[0057] Since these circuitry is the same as drawing 12 and drawing 13 which were explained previously fundamentally, explanation of the overlapping part is omitted.

[0058] Drawing 1 (in the case of the operational amplifier (differential amplifying circuit) 11 which constituted the differential pair of an input stage from a P channel MOS transistor) In the operational amplifier 101 of drawing 12 between supply voltage Vdd (power source of operation) and P channel MOS transistors 1103 and 1104 The point of having formed P channel MOS transistors 201 and 202, respectively, In the point and list which formed P channel MOS transistor 203 between supply voltage Vdd and the gate of P channel MOS transistor 1105, between the gate of the N-channel MOS transistor 1121 of an output stage, and GND It differs from drawing 12 in that the N-channel MOS transistor 204 was formed.

[0059] According to the above-mentioned configuration, when Signal DIS is H (Vdd level), since Signal DISN is a reversal signal of Signal DIS, it is set to L (GND level). In connection with this, P channel MOS transistors 201 and 202 will be in an OFF state. For this reason, the circuit current which includes the bias current which determines the operating point in an operational amplifier (differential amplifying circuit) 11 will not flow (intercepted).

[0060] Furthermore, since both the P channel MOS transistors 203 and N-channel MOS transistors 204 that were prepared in the output stage will be in an ON state, both P channel MOS transistor 1105 which constitutes an output stage, and the N-channel MOS transistor 1121 will be in an OFF state. Thereby, while the output of an operational amplifier (differential amplifying circuit) 11 will be in a hi-z state, the current which flows an output stage is also intercepted.

[0061] The usual impedance-conversion actuation which it became equivalent [both P channel MOS transistor 203 and the N-channel MOS transistor 204] to the circuit shown in drawing 12 since it will be in an OFF state while supply voltage Vdd is supplied to P channel MOS transistors 1103 and 1104 through P channel MOS transistors 201 and 202, respectively conversely in L (GND level), and Signal DIS mentioned above on the other hand is performed. In addition, since the above-mentioned explanation is overlapped, explanation of operation is omitted here.

[0062] Drawing 3 (in the case of the operational amplifier (differential amplifying circuit) 12 which constituted the differential pair of an input stage from an N-channel MOS transistor) In drawing 13 , while the N-channel MOS transistors 301 and 302 are formed between GND and the N-channel MOS transistors 1203 and 1204, respectively Between the gate of P channel MOS transistor 1221 of an output stage, and supply voltage Vdd P channel MOS transistor 304 is formed and it differs from drawing 13 further in that the N-channel MOS transistor 303 was inserted between the gate of the N-channel MOS transistor 1205, and GND.

[0063] According to the above-mentioned configuration, when Signal DIS is L (GND level), since Signal DISN is a reversal signal of Signal DIS, it is set to H

(Vdd level). Since the N-channel MOS transistors 301 and 302 will be in an OFF state in connection with this, the circuit current which includes the bias current which determines the operating point in an operational amplifier (differential amplifying circuit) 12 does not flow, but is intercepted.

[0064] Since both the N-channel MOS transistors 303 and P channel MOS transistors 304 that were prepared in the output stage at this time will be in an ON state, both the N-channel MOS transistor 1205 which constitutes an output stage, and P channel MOS transistor 1221 will be in an OFF state. By this, while the output of an operational amplifier (differential amplifying circuit) 12 will be in a hi-z state, the current which flows an output stage will also be intercepted.

[0065] The usual impedance-conversion actuation which it became equivalent [both the N-channel MOS transistor 303 and P channel MOS transistor 304] to the circuit shown in drawing 13 since it will be in an OFF state while P channel MOS transistors 1203 and 1204 are connected to GND through P channel MOS transistors 301 and 302, respectively conversely in H (Vdd level), and Signal DIS mentioned above on the other hand is performed. In addition, since the above-mentioned explanation is overlapped, explanation of operation is omitted here.

[0066] As mentioned above, when Signal DIS is L, while the operational amplifier (differential amplifying circuit) 12 which constituted the differential pair of an input stage from an N-channel MOS transistor suspends actuation, the operational amplifier (differential amplifying circuit) 11 which constituted the differential pair of an input stage from a P channel MOS transistor will operate. Since the output stage of the operational amplifier (differential amplifying circuit) 12 which constituted the differential pair of an input stage from an N-channel MOS transistor which has suspended actuation is a hi-z state, trouble is not caused to actuation of an operational amplifier (differential amplifying circuit) 11. This becomes possible to offer very reliable impedance-conversion equipment.

[0067] On the contrary, when Signal DIS is H, the operational amplifier (differential amplifying circuit) 11 which constituted the differential pair of an input stage from a P channel MOS transistor will suspend actuation, and the

operational amplifier (differential amplifying circuit) 12 which constituted the differential pair of an input stage from an N-channel MOS transistor will operate. Since the output stage of the operational amplifier (differential amplifying circuit) 11 which has suspended actuation also in this case is a hi-z state, trouble is not caused to actuation of an operational amplifier (differential amplifying circuit) 12. This becomes possible to offer very reliable impedance-conversion equipment.

[0068] The most significant bit (MSB) of the data 905 (for example, 6 bits) for a gradation display inputted into the DA translation circuit added to each output circuit (it installs for every output terminal) as the above-mentioned signal DIS, for example is used.

[0069] Through the above-mentioned level-shifter circuit, the level conversion of the data 905 for a gradation display of this phase is carried out, and they serve as a signal with the potential between Vdd-GND level. Gradation (0-63), a gradation indicative data (6 bits), and the relation of Signal DIS (MSB of the data 905 for a gradation display) are shown for the case of 64 gradation displays in Table 1 at an example. As shown in Table 1, while Signal DIS is set to L (a low level, "0") at the time of the gradation of 0-31, Signal DIS is set to H (high level, "1") at the time of the gradation of 32-63.

[0070]

[Table 1]

階調表示用データ							16進	階調	DIS
2進									
MSB						LSB			
5	4	3	2	1	0				
0	0	0	0	0	0	00H	0	0	
0	0	0	0	0	1	01H	1	0	
0	0	0	0	1	0	02H	2	0	
:	:	:	:	:	:	:	:	:	
:	:	:	:	:	:	:	:	:	
:	:	:	:	:	:	:	:	:	
0	1	1	1	0	1	1DH	29	0	
0	1	1	1	1	0	1EH	30	0	
0	1	1	1	1	1	1FH	31	0	
1	0	0	0	0	0	20H	32	1	
1	0	0	0	0	1	21H	33	1	
1	0	0	0	1	0	22H	34	1	
:	:	:	:	:	:	:	:	:	
:	:	:	:	:	:	:	:	:	
:	:	:	:	:	:	:	:	:	
1	1	1	1	0	1	3DH	61	1	
1	1	1	1	1	0	3EH	62	1	
1	1	1	1	1	1	3FH	63	1	

[0071] As mentioned above, since Signal DIS is using the most significant bit (MSB), the data 905 for a gradation display are set to L (a low level, "0") by 00H-1FH (hexadecimal display), and are set to H (high level, "1") by 20H-3FH. For this reason, by 00H-1FH, an operational amplifier (differential amplifying circuit) 11 operates [the data 905 for a gradation display], and an operational amplifier (differential amplifying circuit) 12 does not operate. As for an operational amplifier (differential amplifying circuit) 11, the data 905 for a gradation display suspend actuation conversely in 20H-3FH, and an operational amplifier (differential amplifying circuit) 12 operates. Operational amplifiers (differential amplifying circuit) 11 and 12 are connected like drawing 1 , and the case where the data 905 for a gradation display set liquid crystal drive output voltage [as opposed to / in the electrical potential difference like the minimum and the data 905 for a gradation display / 3FH(s) for the liquid crystal drive output voltage to 00H] as the electrical potential difference of the high end is shown in drawing 4 .

[0072] Here, the gestalt of other operations concerning this invention is explained below, referring to drawing 5 . In addition, the same member number is

appended to the member which has the same function as drawing 1 R> 1, and detailed explanation is omitted.

[0073] In drawing 5 , although an operational amplifier (differential amplifying circuit) 11 and an operational amplifier (differential amplifying circuit) 12 are the same as drawing 1 and the same is said of connection, it differs in that the decoder 45 which generates the signal which controls a halt of actuation of an operational amplifier (differential amplifying circuit) with the data 905 for a gradation display inputted into each DA translation circuit is formed further. In addition, in drawing 5 , while replacing with the signal DIS of drawing 2 and inputting the signal DISP from a decoder 45, it replaces with the signal DIS of drawing 3 , and the signal DISN from a decoder 45 is inputted.

[0074] The example of circuitry of a decoder 45 is shown in drawing 6 . In the gestalt of this operation, it is the example which used 2 bits (they are a bit 5 and a bit 4 when the number of bits is 6) of high orders of the data 905 for a gradation display inputted into the DA translation circuit (not shown) currently installed for every output terminal.

[0075] In this case, the decoder 45 consists of OR-circuit 45a and AND-circuit 45b, as shown in drawing 6 . While the bit 5 of the data 905 for a gradation display is inputted, one input terminal of AND-circuit 45b is connected to one input terminal of OR-circuit 45a. While the bit 4 of the data 905 for a gradation display is inputted, the input terminal of another side of AND-circuit 45b is connected to the input terminal of another side of OR-circuit 45a. And while the output of OR-circuit 45a is sent to an operational amplifier (differential amplifying circuit) 12 as a signal DISN, the output of AND-circuit 45b is sent to an operational amplifier (differential amplifying circuit) 11 as a signal DISP.

[0076] Signal DISP is set to L (a low level, "0") when a bit 5 or a bit 4 is L (a low level, "0") according to the decoder 45 of the above-mentioned configuration, while Signal DISP is set to H (high level, "1") in the data 905 for a gradation display, when both a bit 5 and the bit 4 are H (high level, "1").

[0077] On the other hand, in the data 905 for a gradation display, when either [at

least] a bit 5 or the bit 4 is H (high level, "1"), while Signal DISN is set to H (high level, "1"), when both a bit 5 and the bit 4 are L (high level, "0"), Signal DISN is set to L (a low level, "0").

[0078] About the case of 64 gradation displays, if relation with Signals DISP and DISN is indicated to be gradation (0-63) and the data 905 (6 bits) for a gradation display to an example, it will become as it is shown in Table 2.

[0079]

[Table 2]

階調表示用データ							16進	階調	DISP	DISN
2進										
MSB			LSB							
5	4	3	2	1	0					
0	0	0	0	0	0	00H	0	0	0	
0	0	0	0	0	1	01H	1	0	0	
0	0	0	0	1	0	02H	2	0	0	
:	:	:	:	:	:	:	:	:	:	
0	0	1	1	0	1	0DH	13	0	0	
0	0	1	1	1	0	0EH	14	0	0	
0	0	1	1	1	1	0FH	15	0	0	
0	1	0	0	0	0	10H	16	0	1	
0	1	0	0	0	1	11H	17	0	1	
:	:	:	:	:	:	:	:	:	:	
:	:	:	:	:	:	:	:	:	:	
:	:	:	:	:	:	:	:	:	:	
0	1	1	1	0	1	1DH	29	0	1	
0	1	1	1	1	0	1EH	30	0	1	
0	1	1	1	1	1	1FH	31	0	1	
1	0	0	0	0	0	20H	32	0	1	
1	0	0	0	0	1	21H	33	0	1	
1	0	0	0	1	0	22H	34	0	1	
:	:	:	:	:	:	:	:	:	:	
:	:	:	:	:	:	:	:	:	:	
1	0	1	1	0	0	2CH	44	0	1	
1	0	1	1	0	1	2DH	45	0	1	
1	0	1	1	1	0	2EH	46	0	1	
1	0	1	1	1	1	2FH	47	0	1	
1	1	0	0	0	0	30H	48	1	1	
1	1	0	0	0	1	31H	49	1	1	
:	:	:	:	:	:	:	:	:	:	
1	1	1	1	0	1	3DH	61	1	1	
1	1	1	1	1	0	3EH	62	1	1	
1	1	1	1	1	1	3FH	63	1	1	

[0080] While 2 bits (a bit 5 and bit 4) of high orders of the data 905 for a

gradation display are used for the circuit of drawing 6 , the data 905 for a gradation display set it L in 00H-2FH and it sets Signal DISP to H by 30H-3FH, the data 905 for a gradation display set it L in 00H-0FH, and set Signal DISN to H by 10H-3FH.

[0081] If it puts in another way, since Signal DISP stops by H, an operational amplifier (differential amplifying circuit) 11 will operate in 00H-2FH, and will stop by 30H-3FH. Since actuation suspends [Signal DISN] an operational amplifier (differential amplifying circuit) 12 by L, in 00H-0FH, actuation stops and it operates by 10H-3FH (it will be in operating state).

[0082] Relation when the data 905 for a gradation display set liquid crystal drive output voltage [as opposed to / in the electrical potential difference like the minimum and the data 905 for a gradation display / 3FH(s) for the liquid crystal drive output voltage to 00H] as the electrical potential difference of the high end is shown in drawing 7 .

[0083] As mentioned above, according to the configuration of a decoder 45, the range of a halt of actuation of operational amplifiers (differential amplifying circuit) 11 and 12 and actuation can be freely set up like the configuration of drawing 5 , respectively. The following thing can be said by this.

[0084] Namely, in the gestalt of this operation, the data 905 for a gradation display suspend actuation of an operational amplifier (differential amplifying circuit) 12, and, as for the range of 00H-0FH, operate only an operational amplifier (differential amplifying circuit) 11. And the range of gradation indicative-data 30H-2FH suspends actuation of an operational amplifier (differential amplifying circuit) 11, and operates only an operational amplifier (differential amplifying circuit) 12. The drive capacity to drive the pixel capacity of displays, such as a liquid crystal display, by this in the field which offset does not generate to both sides in operating the both sides of operational amplifiers (differential amplifying circuit) 11 and 12 while suspending actuation of the operational amplifier which intercepts a circuit current including a bias current in the electrical-potential-difference range which offset generates, and corresponds is

increased.

[0085] Although it will yield 1 step in the formation of a low consumption electrical potential difference, supply voltage V_{dd} is a comparatively low electrical potential difference, and when a display is the number of large pixels in a big screen (there are many source lines), when the direction of the drive capacity of a high-speed drive or pixel capacity is required strongly, it is more effective [the configuration of drawing 5] than the power consumption consumed in an output circuit.

[0086] By on the other hand setting up the range of a halt of actuation of operational amplifiers (differential amplifying circuit) 11 and 12, and actuation by the most significant bit (MSB) like the gestalt of the above-mentioned operation Since one of circuit currents is intercepted and, as for operational amplifiers (differential amplifying circuit) 11 and 12, a circuit current does not flow to coincidence, Generate, when supply voltage V_{dd} is as high as dozens V (for example, 80V) more than 10V. When the current which flows through operational amplifiers (differential amplifying circuit) 11 and 12 can be abolished and the driving gear of a display is equipped with these operational amplifiers (differential amplifying circuit) 11 and 12, it can contribute to low-power-ization greatly.

[0087] In addition, since actuation and halt actuation of each operational amplifier in the signal level of the signal DISP generated by the above-mentioned decoder 45 and Signal DISN are fundamentally the same, they abbreviate explanation to the gestalt of the above-mentioned operation here.

[0088] Moreover, although the differential amplifying circuit as an output circuit illustrated the case of the voltage follower which does not amplify and the explanation in the above example explained, the configuration which is not limited to this and amplifies as a non-inversed amplifying circuit or inversed amplification is sufficient as this invention. In this case, since the display electrical potential difference for gradation can be amplified in an output circuit, each level-shifter circuit (not shown) which was required of drawing 9 within the hold memory circuit 9081, 9082, 9083, 9084, 9085, and -- becomes unnecessary, and that part and the circuit reduction of it are attained.

[0089] As mentioned above, although the driving gear (especially source driver) of a liquid crystal display has been illustrated and explained to a low impedance output as an output circuit which performs impedance conversion This invention is not limited to this and it has the pixel arranged in the shape of a matrix. The driving gear of the display which has the load-carrying capacity in which a pixel also contains parasitic capacitance, and realizes a gradation display by changing the applied voltage to a pixel, For example, it is effective in a liquid crystal display, EL (electroluminescence) display, etc., and when especially the applied voltage to a pixel is high, especially the effectiveness is demonstrated.

[0090] A means by which the impedance-conversion equipment of this invention chooses one from two or more electrical-potential-difference values as mentioned above according to digital input data, The selected electrical-potential-difference value The high-voltage side for carrying out low impedance output conversion In the low impedance power conversion unit which has the parallel connection configuration which connected respectively both input stages and output stages of a low impedance output conversion means to change into low impedance, and a low impedance output conversion means to change a low-battery side into low impedance The two above-mentioned kinds of low impedance output conversion means have the control means which operates or stops conversion actuation, and it is characterized by performing control of this control means based on the data picked out from the above-mentioned digital input data.

[0091] As for the above-mentioned digital input data for controlling the above-mentioned control means, it is desirable that it is the most significant bit. The above-mentioned digital input data for controlling the above-mentioned control means may be 2 bits of the high order.

[0092] When a low impedance output conversion means to change the above-mentioned high-voltage side into low impedance, and a low impedance output conversion means to change a low-battery side into low impedance have either in operating state, as for other one side, it is desirable that it is always in a idle

state.

[0093] It is desirable to have the control means which intercepts the current which flows the inside of the above-mentioned low impedance output conversion means in the above-mentioned idle state, and makes an output stage a hi-z state.

[0094] It is desirable to constitute the driving gear for displays including the above low impedance power conversion unit. As for this driving gear for displays, it is desirable that it is the driving gear of a liquid crystal display. As for the above-mentioned driving gear for indicating equipments, it is desirable that it is a source driver.

[0095] According to the above-mentioned invention, it becomes possible to make the consumed electric current of a backward acting circuit into one half mostly by suspending the operational amplifier which does not affect the output voltage in each output circuit with the data 905 for a gradation display set up for every output. Moreover, it becomes possible by decoding the data for a gradation display to choose which operational amplifier is used in the range of output voltage. It becomes possible thereby very effectively to aim at reduction of the drive current of an output circuit.

[0096] In addition, although the differential amplifying circuit as an output circuit illustrated and explained the voltage follower method which does not amplify by explanation in the above example, the configuration which is not limited to this and amplifies as a non-inversed amplifying circuit or inversed amplification is sufficient as this invention. In this case, since the display electrical potential difference for gradation can be amplified in an output circuit, the level-shifter circuit shown in drawing 9 becomes unnecessary, and the circuit reduction of it is attained.

[0097] As mentioned above, as an output circuit which carries out impedance conversion to a low impedance output, although the driving gear (especially source driver) of a liquid crystal display has explained This invention is not limited to this and it has the pixel arranged in the shape of a matrix. The driving gear of the display which has the load-carrying capacity in which a pixel also contains

parasitic capacitance, and realizes a gradation display by changing the applied voltage to a pixel, For example, it is effective in a liquid crystal display, EL (electroluminescence) display, etc., and when especially the applied voltage to a pixel is high, especially the effectiveness is demonstrated.

[0098]

[Effect of the Invention] It connects with juxtaposition mutually as mentioned above, and the impedance-conversion equipment concerning this invention is equipped with the 1st and 2nd differential amplifying circuits which carry out impedance conversion to the electrical potential difference which changes according to digital input data, and the control means controlled to make another side into non-operating state without supplying a power source of operation while supplying a power source of operation and making either of the 1st or 2nd differential amplifying circuit of the above into operating state based on the above-mentioned digital input data.

[0099] According to the above-mentioned invention, the control means is established, and while a power source of operation will be supplied by this control means and either of the 1st and 2nd differential amplifying circuits of the above will be in operating state by it based on the above-mentioned digital input data, another side is controlled to be in non-operating state, without supplying a power source of operation.

[0100] Consequently, it always becomes only either of the 1st or 2nd differential amplifying circuit that it is in operating state. If it puts in another way, either of the 1st or 2nd differential amplifying circuit will always be in non-operating state, and a current will not be consumed in this differential amplifying circuit (a current does not flow to the both sides of the 1st and 2nd differential amplifying circuits to coincidence). So, it becomes possible to hold down the consumed electric current of impedance-conversion equipment to the above-mentioned conventional one half.

[0101] Moreover, according to the above-mentioned invention, since only one of differential amplifying circuits is in operating state, such fault is also certainly

conquerable [if the both sides of two differential amplifying circuits are in operating state at coincidence, when the electrical potential difference of a power source of operation is as high as dozens of volts, the fault that a current flows through between both differential amplifying circuits will be invited, but].

[0102] In addition, since the above-mentioned control by the control means is performed based on the digital input data used as the radical of the electrical potential difference set as the object of impedance conversion, the signal from the impedance-conversion equipment outside is not needed separately. Since the shift to non-operating state is not performed all at once and is moreover performed based on digital input data, the effectiveness that the reduction effectiveness of power consumption can be enlarged certainly is collectively done so.

[0103] As for the above-mentioned control means, it is desirable to perform the above-mentioned control based on the most significant bit of the above-mentioned digital input data. In this case, in the electrical-potential-difference range which offset generates, since the corresponding differential amplifying circuit is made to non-operating state, the effectiveness of becoming possible to raise dependability remarkably is collectively done so.

[0104] Other impedance-conversion equipments concerning this invention The 1st and 2nd differential amplifying circuits which carry out impedance conversion to the electrical potential difference which is mutually connected to juxtaposition and changes according to digital input data in order to solve the above-mentioned technical problem, A decoding means to decode 2 bits of high orders of the above-mentioned digital input data, [whether it controls to make another side into non-operating state without supplying a power source of operation, and supplying a power source of operation based on the output of the above-mentioned decoding means, while making either of the 1st or 2nd differential amplifying circuit of the above into operating state, and] Or it has the control means controlled to supply a power source of operation to the both sides of the 1st and 2nd differential amplifying circuits, and to make it operating state.

[0105] In the above-mentioned invention, a decoding means to decode 2 bits of high orders of the above-mentioned digital input data is established, and it is based on the output of this decoding means. By the control means While a power source of operation will be supplied and either of the 1st and 2nd differential amplifying circuits of the above will be in operating state based on the above-mentioned digital input data Another side is controlled to be in non-operating state, without supplying a power source of operation, or it is controlled so that a power source of operation will be supplied to the both sides of the 1st and 2nd differential amplifying circuits and both sides will be in operating state.

[0106] In the case of the former, in the above-mentioned control, it becomes possible as mentioned above to hold down the consumed electric current of impedance-conversion equipment to the above-mentioned conventional one half. On the other hand, in the latter control, it becomes possible by operating the both sides of the 1st and 2nd differential amplifying circuits to increase the drive capacity of the output of impedance-conversion equipment certainly.

[0107] In addition, since the above-mentioned control by the control means is performed based on the digital input data used as the radical of the electrical potential difference set as the object of impedance conversion, the signal from the impedance-conversion equipment outside is not needed separately. Since the shift to non-operating state moreover is not performed all at once, the reduction effectiveness of power consumption can be enlarged certainly.

[0108] Furthermore, in the electrical-potential-difference range which offset generates, the corresponding differential amplifying circuit is made to non-operating state, and, thereby, it becomes possible to raise dependability remarkably. By operating the both sides of the 1st and 2nd differential amplifying circuits in the electrical-potential-difference range which offset does not generate in both differential amplifying circuits, the effectiveness of becoming possible to increase the drive capacity of the output of impedance-conversion equipment certainly is collectively done so.

[0109] As for the output of the above-mentioned differential amplifying circuit of

non-operating state, in the above-mentioned impedance-conversion equipment, it is desirable that it is high impedance. In this case, since the output of the differential amplifying circuit of the direction to which a power source of operation is not supplied is controlled by the above-mentioned control means by high impedance, it does not cause trouble to actuation of the differential amplifying circuit in operating state. So, the effectiveness of becoming possible to raise the dependability of impedance-conversion equipment remarkably is done collectively.

[0110] The above-mentioned digital input data are data for a gradation display, and it is desirable to use as the driving gear of a display that to which impedance conversion of the electrical potential difference for a gradation display of the analog chosen according to this data for a gradation display is carried out by above impedance-conversion equipment. In this case, the effectiveness that the level-shifter circuit which was the need conventionally becomes unnecessary, and the circuit reduction of it is attained is done so by amplifying the electrical potential difference for a gradation display.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing the example of a configuration of the impedance-conversion circuit concerning the gestalt of operation of this invention.

[Drawing 2] It is the circuit diagram showing the example of concrete circuitry of the operational amplifier (differential amplifying circuit) which constituted the differential pair of an input stage from a P channel MOS transistor.

[Drawing 3] It is the circuit diagram showing the example of concrete circuitry of the operational amplifier (differential amplifying circuit) 12 which constituted the differential pair of an input stage from an N-channel MOS transistor.

[Drawing 4] It is the explanatory view showing the case where liquid crystal drive output voltage is set as the electrical potential difference like the minimum, and the electrical potential difference of the high end.

[Drawing 5] It is the circuit diagram showing the example of a configuration of the impedance-conversion circuit concerning the gestalt of other operations of this invention.

[Drawing 6] It is the circuit diagram showing the example of a configuration of the decoder of drawing 5 .

[Drawing 7] It is the explanatory view showing the case of the others which set liquid crystal drive output voltage as the electrical potential difference like the minimum, and the electrical potential difference of the high end.

[Drawing 8] It is the schematic diagram showing the case where the liquid crystal driver which drives the liquid crystal panel using TFT is used.

[Drawing 9] It is an explanatory view explaining incorporation of the data for a gradation display of a liquid crystal driver (source driver side).

[Drawing 10] It is an explanatory view explaining the relation of data incorporation from an internal data bus.

[Drawing 11] It is the circuit diagram showing the example of a configuration of conventional impedance-conversion equipment.

[Drawing 12] In the impedance-conversion equipment of drawing 11 , an input stage is the circuit diagram showing that P channel MOS transistors are

consisted of by the differential pair.

[Drawing 13] In the impedance-conversion equipment of drawing 11 , an input stage is the circuit diagram showing that N-channel MOS transistors are consisted of by the differential pair.

[Drawing 14] (a) Or (c) is the circuit diagram showing other conventional examples of an impedance-conversion circuit.

[Drawing 15] In the impedance-conversion equipment of drawing 14 , it is the explanatory view showing that the consumed electric currents are reduced.

[Description of Notations]

11 Operational Amplifier (Differential Amplifying Circuit)

12 Operational Amplifier (Differential Amplifying Circuit)

45 Decoder (Decoding Means)

45a OR circuit (decoding means)

45b AND circuit (decoding means)

201 P Channel MOS Transistor (Control Means)

202 P Channel MOS Transistor (Control Means)

203 P Channel MOS Transistor (Control Means)

204 N-channel MOS Transistor (Control Means)

[Translation done.]

*** NOTICES ***

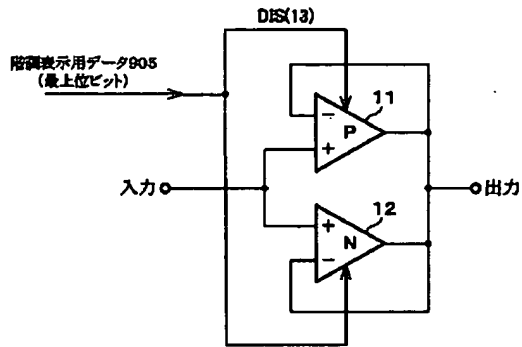
JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

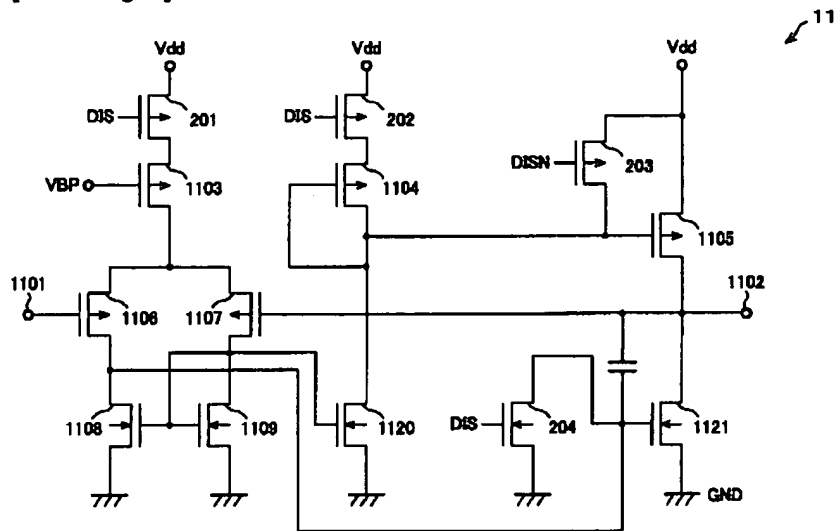
2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

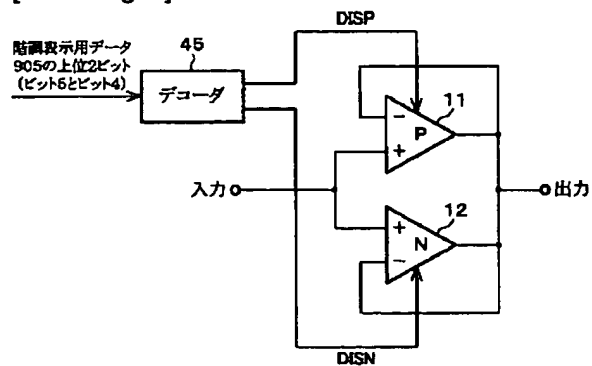
[Drawing 1]



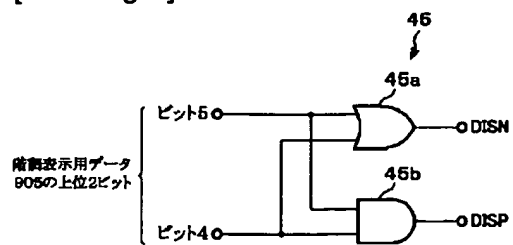
[Drawing 2]



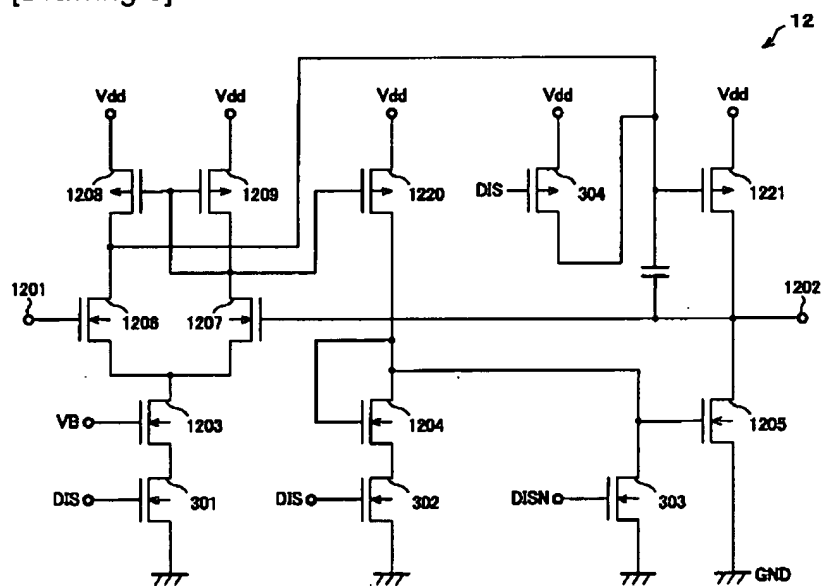
[Drawing 5]



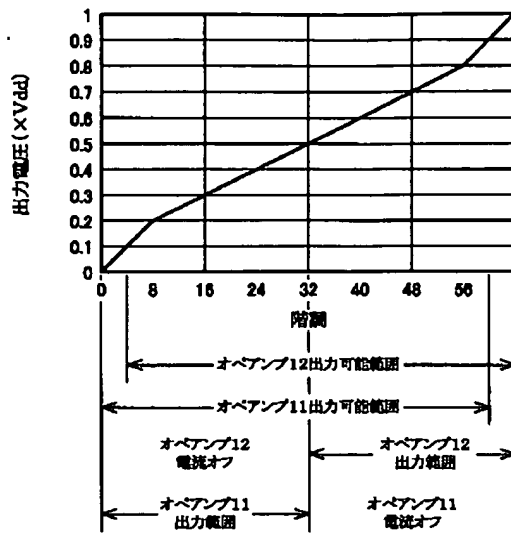
[Drawing 6]



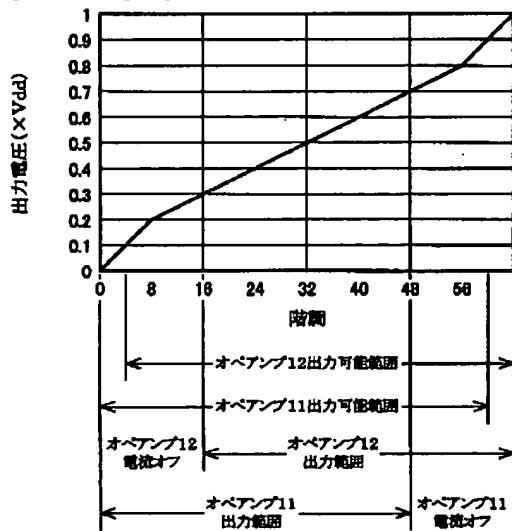
[Drawing 3]



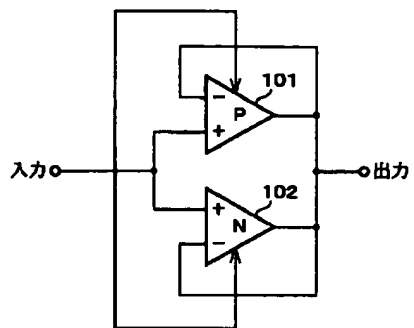
[Drawing 4]



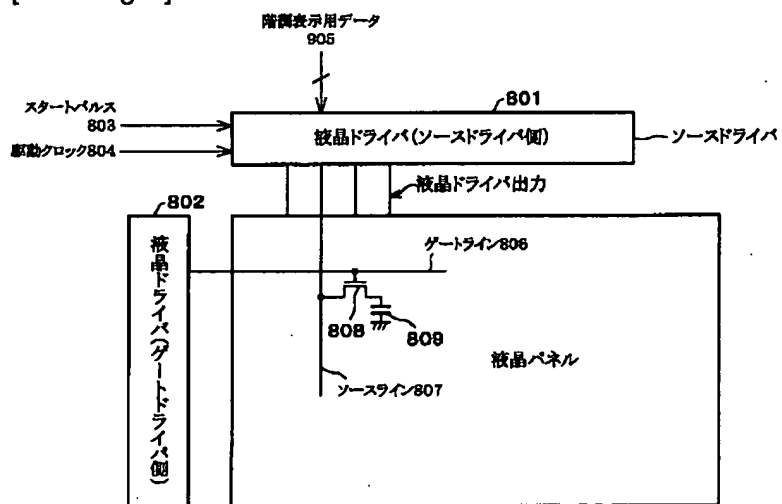
[Drawing 7]



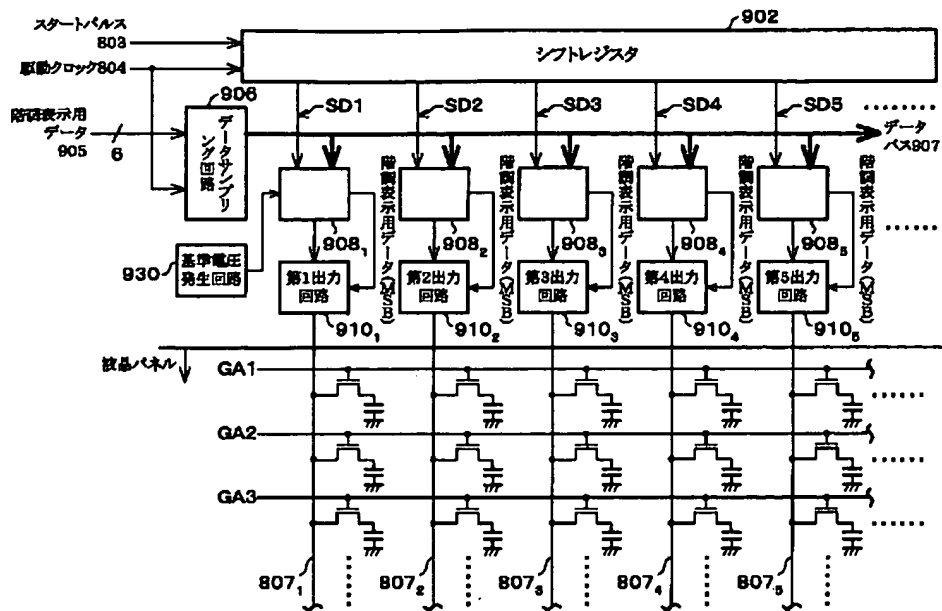
[Drawing 11]



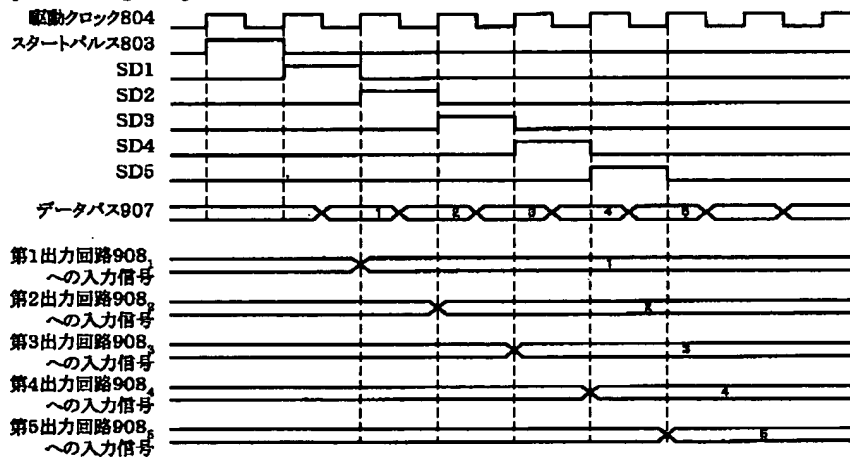
[Drawing 8]



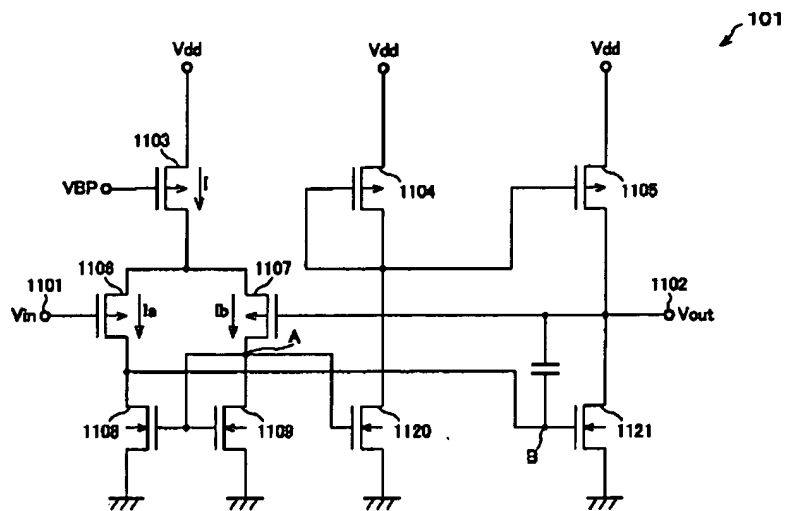
[Drawing 9]



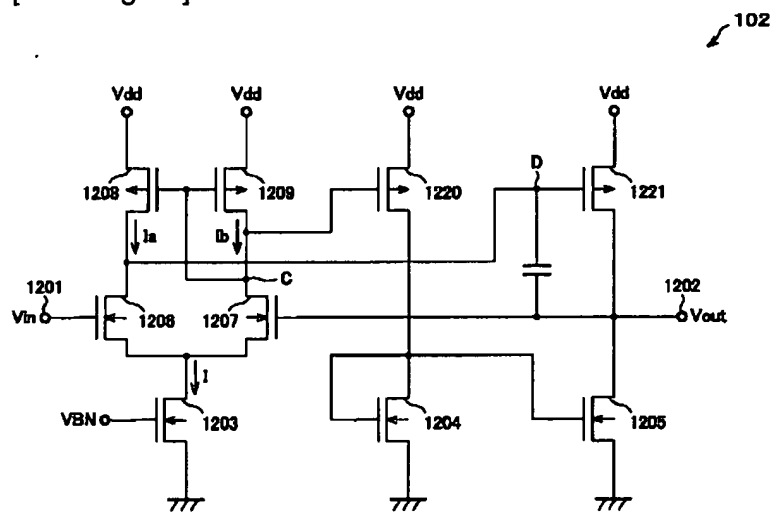
[Drawing 10]



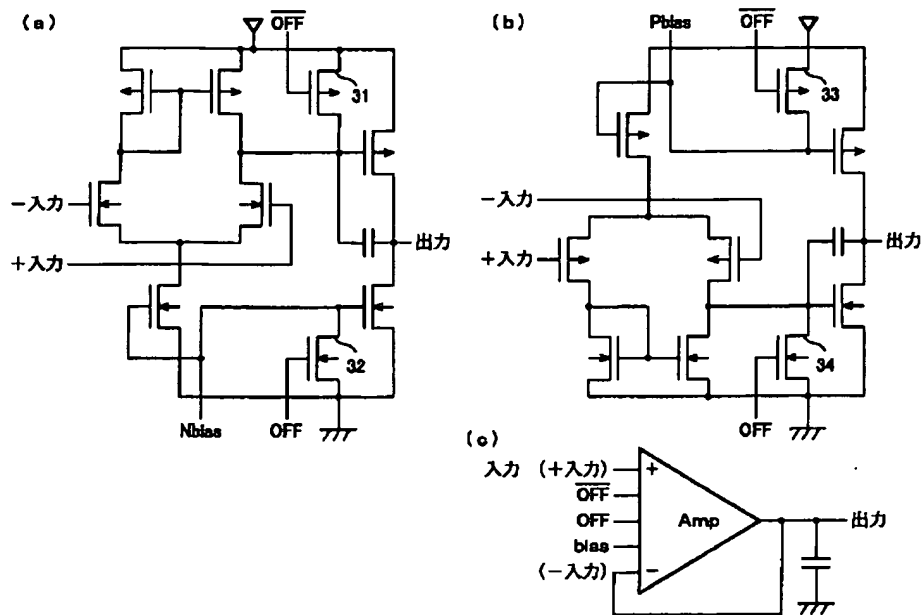
[Drawing 12]



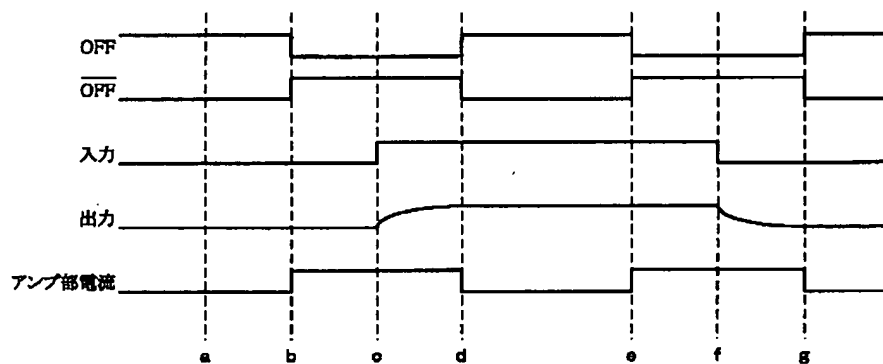
[Drawing 13]



[Drawing 14]



[Drawing 15]



[Translation done.]